

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-212955

⑬ Int. Cl. *

G 03 G 15/00

H 04 N 1/00

識別記号

102
304
106

厅内整理番号

8106-2H
8106-2H

B-7334-5C 等査請求 未請求 発明の数 1 (全49頁)

⑭ 発明の名称 画像形成システム

⑮ 特願 昭62-45939

⑯ 出願 昭62(1987)2月28日

⑰ 発明者	田中秀岳	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑰ 発明者	山崎茂	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑰ 発明者	山野辺耕治	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑰ 発明者	小田部浩明	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑰ 発明者	中里保史	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑰ 発明者	畔野正彦	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑰ 出願人	株式会社リコー	東京都大田区中馬込1丁目3番6号	
⑰ 代理人	弁理士大澤敬		

明細書

1. 発明の名称

画像形成システム

2. 特許請求の範囲

1. 外部装置または内部より画像情報を得て画像形成を行なう画像形成装置本体に複数の付加装置を接続し、画像形成に関する種々の情報を授受を前記画像形成装置本体と複数の付加装置との間で行なつて、記録媒体に画像を形成する画像形成システムにおいて、

前記画像形成装置本体への付加装置の接続状況を表示する手段を設けたことを特徴とする画像形成システム。

【以下余白】

3. 発明の詳細な説明

技術分野

この発明は、各種プリンタシステム、高機能複合システム、ファクシミリシステム等の画像形成システムに関するもので、特に外部装置または内部より画像情報を得て画像形成を行なう画像形成装置本体に複数の付加装置を接続し、それらの間で画像形成に関する種々の情報を授受を行なつて、記録媒体に画像を形成する画像形成システムに関するものである。

背景技術

上記のような各種画像形成システムにおいて、画像形成装置本体に各種の付加装置、例えば大量給紙装置、大量供紙装置、メールボックスあるいはソーダ、両面ユニット、自動原稿送装置(AFD)等を接続して、使用目的に応じた最適な機能を持つシステムを構成することができるようになってきている。

このような画像形成システムにおいては、画像形成を行なう画像形成装置本体と上記のような各種付加装置との間で、画像形成に必要な種々の情

用を授受する必要がある。

そのため、画像用形成装置本体と付加装置とを接続コードおよびコネクタを介して接続して、相互通信によって情報を授受を行なうようにしている。

しかしながら、このような従来の画像形成システムでは、画像形成装置本体にどの付加装置が確実に接続されているか、すなわち現在のシステム構成を一日で把握することができなかつた。

構成

この発明は上記の目的を達成するため、前記のような画像形成システムにおいて、画像形成装置本体への付加装置の接続状況を表示する手段を提供了ものである。

(以下余白)

目的

この発明は上記の点に鑑みてなされたものであり、画像形成装置本体と各種付加装置との接続状況を、操作表示パネル等を見ることにより一日で把握できるようにすることを目的とする。

(以下余白)

以下、この発明の一実施例に基づいて具体的に説明する。

システム構成

第1図 (A) ~ (F) は、この発明による画像形成システムの一実施例であるレーザプリンタ・システムのそれぞれ異なるオプションの組合せ構成例を示し、各図中の破線矢印は紙の搬送方向を示している。

(A) は基本構成であり、レーザプリンタ本体 (LP本体) 1と、上給紙カセット2及び下給紙カセット3と、上移紙用の標準移紙ユニット4と、封筒等の厚い紙を供給するための後供紙トレイ5とによって構成されている。

(B) はこのシステムに、両面プリントを行なうための両面ユニット6を加えたものである。

(C) は(A)のシステムに大量給紙ユニット (LCIT) 7を加えると共に、標準移紙ユニット6に代えて、上下二段の移紙部8A、8Bを有する大量給紙ユニット (LCOT) 8を装着したものである。

(D) は (C) のシステムに、さらに両面ユニット6を加えたものである。

(E) は (C) のシステムの大量給紙ユニット6に代えて、8個のピン (S1~S8) を備えたメイルボックス (MB) 9を装着したものである。

(F) は (E) のシステムに、さらに両面ユニット6を加えたものである。

このように、このレーザプリンタ・システムは、オプションである両面ユニット6、大量給紙ユニット7、大量給紙ユニット8、及びメイルボックス9の選択により、多様なシステム構成を得ることができる。なお、レーザプリンタ本体1及び各オプションユニットの詳細については後述する。

外観及び接続部

第2図は第1図 (D) のシステムの外観例を示す斜視図であり、第1図と対応する部分には同一の符号を付してある。

なお、10は大量給紙ユニット7の一部と第1図における両面ユニット6とを内蔵するテーブルである。11はレーザプリンタ本体1の上部に取

けた操作表示パネルであり、その詳細は第4図によつて後述する。

12. 13はフォントカートリッジで、それぞれ異なる文字種のフォントデータを格納したROMあるいはROMを内蔵している。

14はエミュレーションカードで、これをレーザプリンタ本体1に挿入することにより、ホストの機能に応じたエミュレーション機能を発揮させて、ドットプリンタやデジタルプリンタ等と同様に動作させることもできる。

次に、第3図によつてこのシステムの内部構造の概略を説明する。

レーザプリンタ本体1内には、上下2個の給紙コロ19、20と二対の給紙ローラ21、22と一对のレジストローラ23と搬送ベルト24と送出ローラ25と後供紙ローラ26、上搬送ローラ27、下搬送ローラ28、及び多数のガイド板等によつてペーパ搬送路が形成されている。

そのレジストローラ23と搬送ベルト24との間に搬送路の上側にOPC感光体ドラム29が固

定可逆に設けられ、下側に電源チャージャ30が配置されており、搬送ベルト24と送出ローラ25との間に定着器31が、送出ローラ25と後供紙ローラ26との間に一对のペーパ搬送変更爪32、33がそれぞれ設けられている。

感光体ドラム29の周囲には、さらに電源チャージャ(メインチャージャ)34、現像ユニット35、クリーニングユニット36、露電用LED37が配置されている。

そして、現像ユニット35は現像モータ38及びトナーカートリッジ39及びクリーニングユニット36と共に引出し18に装着されている。

これらの上部に、ここでは図示されていない半導体レーザからのレーザ光を反射して走査するポリゴンミラー(回転多面鏡)44とf0レンズ45、第1ミラー47、第2ミラー48、及び防塵ガラス49等を備えたレーザ書き込みユニット40が配置されている。このレーザ書き込みユニット40の詳細については後述する。

さらにその上方に、プリントエンジン基板51

と2枚のインターフェース・コントローラ(以下「IFC」と略称する)基板52を内蔵したプリント回路基板(以下「PCB」と略称する)ラック53を設置している。

また、54はPCBパックファン、55はメインファン、56はオゾンファンである。

一方、ペーパ搬送路の下側には、感光体ドラム29や各ローラ等を駆動するためのメインモータ57と、電源ユニット58及び各チャージャに高電圧を印加するための高圧電源ユニット59等が配置されている。

上給紙カセット2及び下給紙カセット3は、それぞれこのレーザプリンタ本体1に着脱自在であり、後供紙トレイ5は不使用時には図示のように格納され、使用時には軸5を支点として矢印方向に回転させて、後方へ延長させる。

なお、60はレジストセンサ、61は定着出口センサである。

次に、テーブル10内には、反転用搬送器65及び待機用搬送器66と、ペーパ搬送変更爪67

と、3組のクリップ付キヤノンローラ68、69、70と、両面入口センサ71及び両面出口センサ72、両面用ドライブモータ73等からなる両面ユニット(DPX)8を内蔵し、さらに大量給紙ユニット(LCIT)7からのペーパを給紙するための給紙コロ74及び給紙ローラ75、両面ユニットと共用の給紙ローラ76、及びLCITドライブモータ77等も内蔵している。

なお、大量給紙ユニット7内には、図示を省略しているが、収納したペーパを昇降するための機構及びその駆動用モータ等が内蔵されている。

一方、大量供紙ユニット(LCOT)8には、搬送ローラ80と、ペーパ搬送変更爪81と、上段供紙ローラ82及び下段供紙ローラ83と、上段供紙トレイ84及び下段供紙トレイ85と、図示は省略しているが、2種の供紙トレイ84、85をそれぞれ幅方向に移動させて供紙位置をずらせるための機構とその駆動用モータ(ジョブセパレーシヨン・モータ)や、各種センサ及びスイッチ等も設けられている。

特開昭63-212955(4)

このレーザプリンタシステムの制御系については後で詳細に説明するが、図示しないコンピュータ、ワークステーション、ワードプロセッサ等のホストからの画像データ等をIFC基板52を介してプリントエンジン基板51へ入力して処理し、複数経路及び複数経路を選択した後、プリントスタート・リクエスト信号によりプリント動作を開始する。

プリントシーケンスが開始されると、所定のタイミングで給紙コロ19、20、74のいずれかを駆動して、上給紙カセット2、下給紙カセット3る。あるいはLCIT7のいずれかを選択されたものから給紙を開始し、給紙ローラ21、22、75のいずれかによってペーパを給送し、レジストローラ23に突き当たる状態で一時停止させる。

プリントシーケンスが開始されると、所定のタイミングで給紙コロ19、20、74のいずれかを駆動して給紙トレイ2~4のうちの選択されたトレイから給紙を始め、レジストローラに突き当たる状態で一時停止させる。

なお、通常は大量供紙ユニット8のいずれかのトレイが選択されて、プリントされたペーパはフェースダウン供紙されるが、封筒や書類などの厚い紙を使用する場合等、特別な場合に後供紙トレイ5が選択される。

但し、後供紙トレイ5が第3回の矢印方向に回動して、後供紙ローラ26による供紙が可能な状態になつてない時には、後供紙トレイ5を選択することはできない。

両面印刷が選択されている時には、片面にプリントされたペーパは下紙送ローラ28によってテーブル10内の両面ユニット8に送り込まれる。

そして、まず反転用紙送路85に送り込まれた後、面送方向を逆転して待機用紙送路88へ搬送されて待機し、所定のタイミングで給紙ローラ78によって本体1へ送りこまれて、前述と同様にして他方の面にプリントされ、その後いずれかの供紙トレイに供紙される。

操作表示パネル

第2回の操作表示パネルの詳細を第4回に示す。

一方、感光体ドラム29は第3回の矢印方向へ回転し、電極部チャージャ34によって帯電された表面に、レーザ書き込みユニット40によって帯電された表面に、レーザ書き込みユニット40によって画像データに応じて走査されたレーザビームをドラム軸方向に走査しながら照射して露光し、潜像を形成する。

その潜像を現像ユニット35からのトナーによって現像し、レジストローラ23によって所定のタイミングで給送されるペーパに、電荷チャージャ30によって転写する。

その転写されたペーパを感光体ドラム29から剥離して、搬送ベルト24によって定着器31へ搬送し、定着器31で加熱定着した後退出ローラ25によって供紙部へ退出する。

その際、ペーパ送高変更爪32、33、81の回動位置によってペーパの送路を選択して、大量供紙ユニット8の上段供紙トレイ84、下段供紙トレイ85、あるいは後供紙トレイ5のいずれかに供紙する。

120はインジケータであり、それぞれLED(発光ダイオード)の点灯によって表示される給文字121~128とLCD(液晶)ディスプレイ130とオンライン/オフライン選択スイッチ131を有する。

121はIFC等のエラー、122はジヤム発生、123は感光体寿命、124はトナー不足、125はペーパエンド、126は画像データ有り、127はオンライン/オフライン、128はウォーミングアップ中、129は電源オンをそれぞれ表示する給文字である。

LCDディスプレイ130は、例えば2ライン×32文字のキャラクタディスプレイで、各給文字により表示の補足説明(必要な場合のみ)や、その他の各種のメッセージを表示することができる。

132はこのLCDディスプレイ130の輝度調整用つまみである。133はフォームフィード・スイッチで、画像データ有りの給文字128が点灯している時にこのスイッチを押すと、内部のデータをプリントして供紙する。

特開昭63-212955(5)

134はテストスイッチで、このスイッチを押すとこのレーザプリンタ・システムをテスト動作させることができる。135はシフトスイッチ。136は給紙選択スイッチであり、このスイッチ138のみを押すと給紙カセットを選択することができ、上給紙カセットを選択すると上のLED137が点灯し、下給紙カセット3を選択すると下のLED138が点灯する。

一方、シフトスイッチ135を押しながら給紙選択スイッチ136を押すと大量給紙ユニット8の排紙トレイを選択することができ、上段排紙トレイ8Aを選択すると上のLED137が点灯し、下段排紙トレイ8Bを選択すると下のLED138が点灯する。

138はフォント等選択スイッチであり、このスイッチ139のみを押すと印字する文字のフォントを選択することができ、シフトスイッチ135を押しながらこのスイッチ139を押すと紙の表示方向に沿つて文字が並列するモードと紙の表示方向に沿つて文字が並列するモードのいずれかを

選択することができる。

140は給紙紙・ジャム表示部であり、このシステムの概略図形と、給紙紙の選択状況及びペーパーエンド又はオーバーフローを表示する多色発光のLED A～Fと、ジャム発生位置を表示する赤色発光のLED G～Pからなる。

LED A, B, Cは、それぞれ上給紙カセット2、下給紙カセット3、大量給紙ユニット7が接続されていて選択された時に緑色に点灯し、ペーパーエンドになると赤色に点灯する。一方、LED D, E, Fは、それぞれ大量給紙ユニット8の上段排紙カセット8A、下段排紙ユニット8B、後排紙トレイ5が接続されていて選択された時に緑色に点灯し、オーバーフローになると赤色に点灯する。

LED G～Pが点灯するジャム発生位置は次のとおりである。

G：上給紙ジャム H：下給紙ジャム
I：搬送ジャム J：定着ジャム
K：LCOT上段排紙ジャム

L：LCOT下段排紙ジャム

M：LCIT給紙ジャム

N：DPX入口ジャム

P：DPX出口ジャム

レーザ穿込みユニットヒ子の割図

第5図のレーザ穿込みユニット40における光学系の構成を第5図に示す。

半導体レーザ41から6のレーザ光は図示しないコリメータレンズによって平行光束化され、シリンドリカルレンズ42及び1/2倍長鏡43を介して被写体面がされ、凹面多面鏡(ポリゴンミラー)44に入射する。

凹面多面鏡44によって反射されたレーザビームは#9レンズ45を通過し、凹面多面鏡44の表示方向の回転と共に偏向して、第5図の第1ミラー46及び第2ミラー47で反射され、さらに防塵ガラス48を選択した後に感光性の感光体ドラム28を光走査する。

#9レンズ45は、レーザ光の主走査方向についての感光体面上での走査速度を一定にするため

の補正レンズである。#9レンズ45はまた、回転多面鏡の回転補正を行なう。

さて、各レーザビームにより主走査を行なう上で、感光体ドラム28の近傍にシリンドリカルレンズ49と、光反射面としてのフォトディテクタ50、すなわち周期位置検出センサが配置され、主走査の開始に先立つてレーザビームを受けるようになっている。

第6図は、周期信号DETPの発生回路であり、レーザビームを受けたフォトディテクタ50の出力をトランジスタTRで増幅し、コンバレータCMOSで波形整形して、周期信号DETPを出力するようになっている。

第7図は穿込み制御回路であり、その各部の信号波形を第8図に示す。

発振器101は、穿込み周期周波数1/Nドットに応じて、穿込み周期クロックWCLKのN倍のクロックCLKNを出力する。このクロックCLKNは分周器102によって1/Nに分周され、周期クロックWCLKの基本クロックCLKDを

出力する。

また、この基本クロックCLKDはシフトレジスタ103に入力される。シフトレジスタ103は、クロックCLKNの周期分だけ互いに位相がずれ、基本クロックCLKDと同期周のN個のクロックCLKR-A~CLKR-Dを出力する。

ラシチアンドデータセレクタ104はフォトダイオダクタ50によるレーザビーム検出信号を波形整形した信号、すなわち同期検知信号DETPの入力位相に同期したクロックを、上記クロックCLKR-A~CLKR-Dのうちから選択し、信号WCLKを出力する。信号WCLKは書込み同期クロックであるが、常に1/Nドットの精度で位相補正されている。

この信号WCLKはまた、主走査方向の書込み領域の基准クロックとなる。

半導体レーザ41に対する同期信号VIDEOは、同期検知用カウンタ105の出力によりSRFF106の出力DSYNCが真となつて信号VIDEOが真となり、半導体レーザ41は点灯

している。

この状態で、フォトダイオダクタ50によりレーザビームが検出されると、信号DETPが真となり、これに同期して信号WCLKが発生する。

信号DETPはまた、同期検知用カウンタ105に初期値をロードさせ、再度カウントを開始するとともに、SRFF106をリセットしてDSYNCを偽とする。これにより信号VIDEOが偽となり、半導体レーザは消灯する。

信号DETPはまた、書込み開始同期信号LSYNC、書込み領域信号LGATE、書込み領域外レーザ光放送信号ERASEを矢印作り出すためのカウンタ107~109を初期化する。なお、110~112はJ-KFF、113はD-FFである。

カウンタ107、108、109は、矢印信号WCLKをクロック入力としてカウントを開始する。

信号ERASEは同期信号VIDEOを強制的にオフにして、書込み領域外で感光体ドラム29に

不要な光が照射されるのを防止する信号である。

信号ERASEが真になると、しばらくして信号LSYNCがヒクロック分だけ真となる。この信号LSYNCは、IFC52に書込みデータ転送開始を促すための信号である。信号LSYNCが偽となつた後ヒクロック分遅れて信号LGATEが真となる。

信号LGATEは書込み領域信号であり、書込みエリア分だけ真となつており、IFC52からの書込みデータを受け入れられるようになっている。

例えば、分解能1/300°で書込み領域が6°であるとき、2400WCLKだけ真となつてている。

信号LGATEが真の間は、書込みデータWDATAは有効となつて、信号WCLKで同期をとつた信号WDATA'により同期信号VIDEOが変化する。

従つて、書込みデータWDATAのデータそのものにより、光ビームはオン/オフされて有効な画像が得られることになる。

信号LGATEが偽となると共に、信号ERASEにより、信号VIDEOは偽となつて半導体レーザは消灯する。

信号ERASEが偽となることによりラシチアンドデータセレクタ104がクリアされ、信号WCLKはオフとなる。

その後、カウンタ105の出力が真となり、信号DSYNCが真となり、信号VIDEOは再び真となる。そして、次のスキャニングの同期検知を行うために半導体レーザが点灯する。

このようにして、前述と同様の書込みプロセスが繰り返される。

制御系のシステム構成

第9図はこの実施例の制御系の接続回路を示すシステムブロック図である。

レーザプリンタ本体1内の電源ユニット58とプリンタエンジンPCB51、インタフェース・コントローラ(IFC)PCB52、定着器51のヒータヒファン54~56、テーブル10内の同期ユニット8及び大量給紙ユニット7を網羅す

特開昭63-212955(7)

るためのDPX&LCIT・PCB91、メイルボックス8を接続した場合にはメイルボックス(MB)ユニット82を制御するためのMB・PCB93とを、それぞれ電源線84A、84B、84C、84D、84Eによって直接接続している。

さらに、プリントエンジンPCB51とプリントエンジン(PE)ユニット(第3回の各機構部を含む)80との間及びIFC・PCB52との間をそれぞれ電源線と信号線を含む接続線95A、95Bによって接続し、標準紙ユニット4を接続した場合にはそれとの間、大量紙ユニット(LCOT)8を接続した場合にはそれとの間も、それぞれ電源線と信号線を含む接続線95C、95Dによって接続する。

また、プリントエンジンPCB51とDPX&LCIT・PCB91、MB・PCB93、操作表示パネルPCB94との間を、それぞれ2本の送受信用オプカルファイバ・ケーブル88A、88B、88Cによって接続しており、これらの間では光通信によって信号の授受を行なう。

ROM144、データメモリであるS-RAM145、拡張I/O146、ドライバ・レシーバ147、入出力バスファ148、ビデオコントロール回路149、及び通信制御用インタフェース回路150を備えている。

CPU142は、発振器及びタイマやカウンタ等を内蔵し、IFC・PCB52との間で信号の授受を行なうと共に、例えば第7回に示した書込み制御回路の機能を果たすビデオコントロール回路149を制御して、この回路によってIFC・PCB52から画像データ(WDATA)を入力し、書込み用の各種制御信号をIFC・PCB52へ出力させると共に、画像信号VIDEOを後述する半導体レーザ駆動回路へ出力させる。

また、このCPU142は、拡張I/O146、ドライバ・レシーバ147、入出力バスファ148、及び接続線85A、85Dを介して、プリントエンジン・ユニット80及びLCOTユニット8を制御する。

さらに、通信制御用インタフェース回路150

そして、IFC・PCB52を接続ケーブル97によって、コンピュータやワードプロセッサ等のホストシステムに接続し、この接続ケーブル97から画像データ等のデータを入力する。

なお、操作表示パネルPCB94にも、表示しない電源線を介して電源ユニット58、プリントエンジンPCB51、あるいはIFC・PCB52から給電される。

プリントエンジンPCB51、IFC・PCB52、LCOT8、DPX&LCIT・PCB91、MB・PCB93、及び操作表示パネル・PCB94には、それぞれその各部の制御を担当するマイクロコンピュータを備えている。

第10回はプリントエンジンPCB51等の内部構成をも示すシステムブロック図であり、第8回と対応する部分には同一の符号を付してある。

プリントエンジンPCB51は、水晶発振子141を外付けしたワンチップのマイクロコンピュータ(以下「CPU」と略称する)142、アドレスランチ回路143、プログラムメモリであ

を介して、DPX&LCIT・PCB91、MB・PCB93、及び操作表示パネルPCB94とオプカルファイバ・ケーブル88A、88B、88Cによってそれぞれ接続され、それらとの間で光通信により信号の授受を行なう。

この通信制御用インタフェース回路150は新たに開発されたものであり、例えばワンチップの集積回路チップとして構成されるが、その詳細は後述する。

DPX&LCIT・PCB91は、の水晶発振子151を外付けしたCPU152と入出力バスファ153を備え、信号線154、155を介してDPXユニット8及びLCITユニットを制御する。

MB・PCB93も水晶発振子158を外付けしたCPU157と入出力バスファ158を備え、信号線159を介してMBユニット92を制御する。

第11回は、デバイス分散制御型の例を示す第10回と同様なシステムブロック図であり、IF

特開昭63-212955(8)

C・PCBと操作表示パネルPCBは図示を省略している。

この場合は、プリントエンジン・ユニット90のみを接続部95AによってプリントエンジンPCB51の出入力バッファ148に接続している。

そして、各オプションデバイスであるLCOTユニット8、DPスユニット8、LCITユニット7及びMBユニット82には、それらを個別に接続するためにそれぞれCPUと出入力バッファを備えたPCB(プリント回路基板)88、89、100、83を設けており、それらを各々接続のオプチカルファイバ・ケーブル88P、88E、98D、98BによってプリントエンジンPCB51に接続し、その内部の信号線を介して通信制御用インタフェース回路150に接続している。

なお、LCOTユニット8とMBユニット82はいずれか一方しか接続できないので、一方の光通信ラインを操作表示パネルPCB84との通信用に使用することもできる。

160を接続するPCB側のメスコネクタの正面図と側面図である。

このメスコネクタ161には、オスコネクタ嵌入部161aと、その奥にさらに一对のコンタクト部嵌入孔161b、161cが形成され、一方のコンタクト部嵌入孔161bにはその底面に電気→光変換素子である発光ダイオード(LED)162が配設され、他方のコンタクト部嵌入孔161cにはその底面に光→電気変換素子であるフォトトランジスタ163が配設されている。

さらに、その奥には発光IC166が内蔵されており、そこから端子としてのピン①～⑩が下方に突出している。また、このピンと並んでLED162のアノードピン①とカソードピン⑩も突出している。

164は、このメスコネクタ161をPCBの基板165に接続するための2本の結合用ボストである。

第14図(イ)はLED162とピン①～⑩の關係を示し、(ロ)は発光IC166の回路構成及

オプチカルファイバ・ケーブルとコネクタ

これらの実施例においてオプチカルファイバ・ケーブル88A～96Fとして使用される、2種類のコネクタ付接続オプチカルファイバ・ケーブルの例を第12図(イ)(ロ)に示す。

第12図(イ)のオプチカルファイバ・ケーブル88は短距離用のもので、互いに直面した2本のプラスチック製オプチカルファイバ88a、88bの両端にそれぞれ共通のオスコネクタ160を接続し、その各オスコネクタ160にはそれぞれ先端に一对のコンタクト部160a、160bを突出形成しており、各オプチカルファイバ88a、88bの両端面がそれぞれこのコンタクト部160a、160bに由来するようになっている。

第12図(ロ)のオプチカルファイバ・ケーブル88'は比較的長距離用のもので、中間部が互いに接続された2本のプラスチック製オプチカルファイバ88a'、88b'の両端にそれぞれ共通のオスコネクタ160を接続したものである。

第13図(イ) (ロ)は、上述のオスコネクタ

びピン①～⑩との關係を示す。

発光IC166は、PD163による受光出力を增幅する増幅回路167、波形整形回路168、出力トランジスタ169、及び定電圧回路170からなり、ピン⑩はアース(GND)端子、ピン⑨は信号出力(Vout)端子、ピン⑧は直流電源(Vcc)端子である。

このようなPCB側のメスコネクタ161に、第12図に示した複数オプチカルファイバ・ケーブル88又は88'の両端のオスコネクタ160をそれぞれ接続すれば、2つのPCB間を接続する光通信ラインを形成することができる。すなわち、この送受信一体型のコネクタの組合により、送信用と受信用の光通信ラインをワンタッチで同時に接続することができる。

なお、オスコネクタ160の突起部160cとメスコネクタ161の深部161dによって、このコネクタは逆挿入防止機能をもつている。

また、オスコネクタ160のコンタクト部160a、160b及びメスコネクタ161の押入孔

特開昭63-212955(9)

181b, 181cを各々のハウジングに対して
並対称位置に配置することにより、発光、受光側
の差押入防止機能を持たせることもできる。

従来は、送信用と受信用に別個のコネクタを使
用していたので、送信側と受信側を逆に接続する
恐れがあつたが、この実施例によればそのような
恐れがなくなり、しかもコネクタの個数が少なく
てすむので安価になる。

各PCBへの負荷・センサ等の接続状況

次に、前述したこの発明の一実施例におけるブ
リントエンジンPCBと他の各PCB間の接続及
び各PCBとその各種負荷及びセンサ等の接続状
態について第15図及び第16図によつて説明す
る。

まず、電源ユニット58は、第15図に示すよ
うに商用の交流電源174から給電された電圧を
整流及び降圧して、Vcc, Vle, Vls, 及び
Vttの電圧を出し、これらの出力電圧をそれ
ぞれブリントエンジンPCB51, IFC・PC
B52, DPX&LCIT・PCB81及びMB・
PCB83に供給する。

ルインタフェースポートSIPとの間を、オプチ
カルファイバ・ケーブルを介した光通信ラインに
よつて接続することによつてなされる。

そして、ブリントエンジンPCB51には、
第15図に示すように、ブリントエンジン関係の
負荷及びセンサ等として次のようなものが接続さ
れている。

定着器51のヒータコントロール用サイリスタ
181, 定着器底板加熱用サーミスター182, フロ
ントカバー開放後加熱スイッチ183, トップカバ
ー開放後加熱スイッチ184, サイドカバー開放後
加熱スイッチ185, メインモータ57の駆動回路
186, 現像モータ58の駆動回路187, 上給
紙カセット2の高さ制御用モータ188, 下給紙
カセット3の高さ制御用モータ189, 上給紙カ
セット内ペーパーサイズセンサ190, 下給紙カ
セット内ペーパーサイズセンサ191, 上給紙カ
セット内ペーパーエンドセンサ192, 下給紙カ
セット内ペーパーエンドセンサ193, 等電, 眩
等, 現像バイアス, 及び分離の各チャージャ34,

PCB83に供給する。なお、Vttの出力電圧
はインタロックスイッチ175を介してブリント
エンジンPCB51へ供給している。

さらに、この電源ユニット58内には電圧切換
回路178を有し、この回路を通してメインファン
55及びPCBバックファン54に、ブリント
中にはVtt, スタンバイ時にはVttよりも低い
Vleの電圧を供給し、ブリント中とスタンバイ
時でファン速度を変えるようにしている。

また、ブリントエンジンPCB51とDPX&
LCIT・PCB81, MB・PCB83, 及び
操作表示パネル11との間は、前述のようにそれ
ぞれオプチカルファイバ・ケーブル98A, 98
B, 98Cによって接続されている。

この接続は、第16図に示すようにブリントエ
ンジンPCB51内の通信制御用インターフェース
回路(CCI)150の各シリアルインターフェー
ス・ポートSIPと、PCB81内のCPU15
2, PCB83内のCPU157及び操作表示パ
ネルPCB94内の表示しないCPUの各シリアル

30, 35a, 82にそれぞれ高電圧を供給する
高電圧ユニット59, レジストセンサ60, 定着
器出センサ61, ペーパー送紙変更爪32, 33の
駆動用ブランジヤ32P, 33P, 上給紙用クラ
シチ184, 下給紙用クラシチ185, レジスト
用クラシチ186, 及び第3図のボリゴンミラー
44を回転するボリゴンモータ187の駆動回路
188が接続されている。

さらに、トータルカウンタ202, 感光体ドラ
ム交換スイッチ203, トナー・オーバフロー・セ
ンサ204, トナーエンド・センサ205, 瞳電
用LED37, オフライン・テストモード・スイ
ッチ206, 及びテスト開始スイッチ207も接
続されている。

また、ブリントエンジンPCB51内には、第
10図では省略したが、CPU142によってコ
ントロールされるドラムカウンタ(不揮発性メモ
リNVRAMまたはE'PROM)180と、半
導体レーザ41の発光パワーを制御するパワーコ
ントロール回路200が設けられており、レーザ

特開昭63-212955 (10)

ダイオード LD とモニタ用フォトダイオード PD を有する半導体レーザ 41 の駆動回路 201 が、 駆動及びパワーコントロール回路 200 を介して ビデオコントロール回路 149 に接続されている。

ビデオコントロール回路 149 は、パワーコントロール回路 200 により半導体レーザ駆動回路 201 によるレーザダイオード LD の発光輝度をホトダイオード PD からのフィードバック信号を用いて一定に制御させつつ、画像データに応じた変調信号 VIDEO によってレーザダイオード LD を点滅させ、第5回乃至第8回によって説明したように、第3回のレーザ書き込みユニット 40 による感光体ドラム 28 へのプリントデータの書き込みを制御する。

なお、ボリゴンミラーからの反射光を書き込み時に受光するフォトダイテクタ 50 の検知信号を検出後した同期検知信号 DETP がビデオコントロール回路 149 に入力し、書き込み開始時期を規制する。

さらに、このプリントエンジン PCB 51 には、

チ 228 を接続している。

また、メイルボックス (MB) PCB 83 には、 資送用モータ 230、ピン紙搬送センサ 231、 ピンオーバーフローセンサ 232、メールボックス 入口センサ 233、各ピンの選択用ブランジヤ 234~238、各ピンを左右に移動させるためのジョブセバレーション・モータ 240、各ピンの左右位置を検出するための左端スイッチ 241 と右端スイッチ 242 を接続している。

IPC・PCB 52 は、プリントエンジン PC B 51 内の CPU 142 及びビデオコントロール回路 149 とそれぞれ多數の信号線によって接続されると共に、フォントカートリッジ 12、13 並びにエミュレーションカード 14 にも接続される。また、操作表示パネル PCB 94 に Vcc の電圧を供給する。

通信制御用インタフェース回路の詳細

従来、CPU との通信用に使われている回路は、 内部データバスを使用しているため、各チャンネル又は内部レジスタが選択されてリード信号又は

大量静紙ユニット (LCUT) 内の各部品、すなわち各静紙トレイを左右に移動させるためのジョブセバレーション・モータ 210、各静紙トレイの左右位置を検出するセンサ 211、212、ペーパ送路変更爪 81 を駆動して上下の静紙トレイを選択するためのブランジヤ 81P、下段出口スイッチ 213、上段出口スイッチ 214、上段及び下段静紙トレイのオーバーフローセンサ 215、216 が接続されている (第15回参照)。

次に第16回に示すように、DPX & LCIT・PCB 81 には、両面搬送用のクラシチ 218、両面ドライブモータ 73、両面入口センサ 71、両面出口センサ 72、ペーパ送路変更爪 87 を駆動するためのブランジヤ 87P、以下 LCIT 用の給紙クラシチ 220、ドライブモータ 77、ペーパサイズセンサ 221、ペーパスタックの上下駆動用モータ 222、カバーオープン・スイッチ 223、上段スイッチ 224、下段スイッチ 225、ペーパエンドセンサ 226、トレイ下降用スイッチ 227、及び両面部カバーオープン・スイ

ライト信号がアクティブとなつた後に、実際にデータが入出力する迄の遅延時間が長かつた。

すなわち、リード信号がアクティブになつて、各チャンネル又は内部レジスタがハイインピーダンス状態からデータを出力するまでのセットアップタイム、またはライト信号がアクティブとなつて、各チャンネル又は内部レジスタがハイインピーダンス状態からデータ入力可状態となるまでのセットアップタイムの影響で遅延時間が長かつた。

そのため、CPU とのデータの授受の時間が長く必要となり、したがつて応答速度が遅く、バスライン上での使用周波数を高くできないという欠点があつた。

この発明の説明した実施例に使用する通信制御用インタフェース回路 150 は、内部にデータバスを使用せず、全て入出力線に分けることにより遅延時間を大幅に短縮している。

その回路構成を第17回にブロック回路図で示し、そのリードタイミングを第18回にタイミン

グラフで示す。

この通信制御用インターフェース回路（以下「C/I回路」ともいう）は、第17図に示すように、CPUとの間でデータD₊、D₋の入出力を行うデータバスバッファ250、アドレスデータ及び各種制御信号を入力するアドレスデコーダ251、内部レジスタ（動作制御部を含む）252、送受信速度を決めるクロック信号を発生するポートジェネレータ254と、各チャンネルA～Dのパラレル／シリアル相互変換回路を含む送受信ブロック255～258等によって構成されている。

そして、CPUからのデータはバスバッファ250から直接各チャンネルの送受信ブロック255～258へ、アドレスデータ及び各種制御信号はアドレスデコーダ251から直接内部レジスタとマルチプレクサ253へそれぞれ送られ、各送受信ブロック255～258による受信データは、マルチプレクサ253のみを介してバスバスバッファ250を通してCPUへ転送されるように

255～258及び第17図の内部レジスタ252に相当する各内部レジスタ（インストラクションレジスタ）INST1～INST3及びINST4～5へ殆ど遅延時間なく伝送される(DPRT出力のINDATA信号)。

また各内部レジスタのデータ及び受信データは、マルチプレクサ253で選択されてOUTDATA信号となってデータバスバッファ250経由でCPUに出力される。

CPUへの出力も、マルチプレクサ253でのデータセレクトの遅延時間だけなので、リード信号に対するデータ(D₊、D₋)の遅れは殆ど無い。

CPUからの入力データは、先ずC/D信号によって内部レジスタ252へ書込みコントロールデータか、各送受信ブロック255～258へ書込み送信データかを区別される。

さらに、アドレス信号A₊、A₋によって、どの内部レジスタか、あるいはどの送受信ブロックかが選択される。

なつてある。そのため、外部バスから内部送の信号遅延時間は殆どない（デコード遅延時間のみ）。

また、各送受信ブロック255～258や内部レジスタ252の内容（データ）は常にマルチプレクサ253に入力されており、リード信号R/Dのアクティブからデータ出力端の遅延時間は、マルチプレクサ253内のゲート遅延時間のみである（第18図参照）。ライトタイミングについても同様である。

したがつて、従来の回路よりリード、ライトとも遅延時間が短くなり、CPUとの間で高周波でのデータの授受を行なうことができる。

第18図は、このC/I回路の具体例を示すブロック図であり、第17図と対応する部分には同一の符号を付してある。

250はデータバスバッファであり、外部（CPU）との接続は3ステイト状態をとるが、内部に対しては、入出力分離して接続している。

CPUからのコントロールデータ及び送信データは、ポートD/PRTを経て、各送受信ブロック

アドレスデコーダ251は、コントロール/データ信号C/D及びアドレス信号A₊、A₋によって決められる内部レジスタあるいは送受信ブロックを選択し、チップセレクト信号CSがアクティブとなり、さらに書込み信号WRがアクティブとなつた時に、LADRS信号あるいはSELRG信号をアクティブとする。

各内部レジスタINST1～INST4～5はセレクト信号SEL1～SEL3及びSEL4～5のいづれかがアクティブとなつた時に、対応するレジスタの内部入力ゲートが開かれ、CPUからの入力データINDATAを取り込む。

一方、データが送信データである場合（C/Dが「L」の時）は、デコーダの出力LADRSは一旦ポートセレクタPRTSを経由して、「論理アドレス→物理アドレス」に変換されて、SELPT信号となつて各送受信ブロック255～258へ入力される。

各送受信ブロック255～258は、SELPT信号のSEL A～SEL Dのいづれかがアクテ

イブとなつた時に、ブロックの内部入力ゲートを開いてデータを取り込む。

CPUへデータを出力する場合は、マルチブレクサ253によって必要なデータが選択される。

先ず内部レジスタ252の内容を出力する場合は、C/Dが「H」となつてあるが、アドレス信号A₁～A₄によって決められる内部レジスタをアドレスデコーダ251が選択しCS、RD信号のアクティブによりSEL DATA信号がアクティブとなり、マルチブレクサ253内のゲートが開かれてI1 DATA～I45 DATA、S1 DATA～S2 DATAのいづれかを出力データOUT DATAとしてデータバスバッファ250経由でCPUへ出力する。

また、各送受信ブロック255～258の受信データを出力する場合は、C/Dが「L」となつてあるが、アドレス信号A₁～A₄によって決められる物理ポートをアドレスデコーダ251が選択し、さらにポートセレクタPRTSとして「物理ポート→物理ポート」に交換されて、

各物理ポートの内部出力ゲートが開かれ、アクティブとなつた物理ポートのデータがマルチブレクサ253へ出力される。

さらに、CS及びRDがアクティブとなつたところで、アドレスデコーダの出力信号SEL DATAがアクティブとなり、マルチブレクサ253は各送受信ブロック255～258からのデータR DATA～R DATAのいづれかを選択して、出力データOUT DATAとしてデータバスバッファ250経由でCPUへ出力する。

なお、内部レジスタ252には、2個のステータスレジスタSTAT1、STAT2を有している。ポートレートジェネレータ254は送受信クロック発生器である。さらに、259はレディ信号出力部、260は送受信信号許可/禁止信号出力部である。

次に、内部レジスタ以下「インストラクションレジスタ」という)について説明する。

インストラクションレジスタINST1は、各送受信ポートのレシーブレディ、トランスマット

レディに関して、CPUへの割込みRXRDY、TXRDYをアクティブにするかどうかを管理するレジスタである。

CPUから各物理ポートについてレディのマスク/非マスクについてのデータを受け取ると共に、インストラクションレジスタINST3より「物理→物理ポート」アサインデータLPASNを受け取り、各物理ポートのマスク/非マスクデータMASKをレディ信号出力部259へ送る。

なお、レディ信号出力部259では、各送受信ブロック255～258の実際のレディ/ノビギー状態データ(READY)を受け取り、MASKデータと対比して参照した上で、CPUへの割込み信号RXRDY及びTXRDYを出力する。

インストラクションレジスタ1の内容は、I1 DATA～OUT DATA経由でCPUが読み取れる事も可能である。

インストラクションレジスタINST2は、各送受信ポートのエラーフラグ及びこのCCI回路全体をイニシヤルリセットするレジスタである。

CPUからデータを受け取ると共に、インストラクションレジスタINST3よりLPASNデータを受け取って、各送受信ブロック255～258へエラーリセット信号CLEARを出力する。

図示していないが、このレジスタからは全ての内部レジスタ及び送受信ブロックへイニシヤルリセット信号が送出される。

インストラクションレジスタINST3は、物理ポートと物理ポートとの対応を管理するレジスタである。

第20図に、このインストラクションレジスタINST3の回路図を示す。

D₁～D₄へはCPUから次のようなコントロールデータIN DATAが入力される。

D₁、D₂は物理ポートAをどの物理ポートに対応させるか

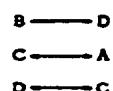
D₃、D₄は D B C D

D₃、D₄は D C B D

信号WINS3がアクティブとなつた時に、内

部のデータラシチ261～268によってCPUからのデータIN DATAを取り込む。各データラシチ261～268の出力は各デコーダ271～274へ入力される。この各デコーダ271～274によって、たとえば論理ポートAについてはLAPA～LAPDのいづれかがアクティブとなつて物理ポートとの対応付けが成される。

例え、論理ポートと物理ポートを
(論理ポート) A —— B (物理ポート)



と対応付けたい場合、CPUからの入力データ

(IN DATA) は次のようにになり。

D, D, D, D, D, D, D, D,
1 0 0 0 1 1 0 1

インストラクションレジスタINST3からの出力(LPASN)は、次のようになる。

デコーダ274 L APA 0
L APB 1
L APC 0
L APD 0

デコーダ273 L BPA 0
L BPB 0
L BPC 0
L BPD 1

デコーダ272 L CPA 1
L CPB 0
L CPC 0
L CPD 0

デコーダ271 L DPA 0
L DPB 0
L DPC 1
L DPD 0

インストラクションレジスタINST4は、
第19回において2個のインストラクションレジ

スタ(INST4とINST5)をまとめて図示したものである。

そしてこのレジスタは、各送受信ブロック255～258の通信許可/禁止の管理と、通信速度(ボーレート)を決めるための分周比の管理を行なっている。

外部からの入力信号中、信号DIVAEN～DIVDENは分周比の設定をハードウェア行なうかどうかを指示する信号あり、"L"アクティブである。

この両信号が "H" である時は、通信速度はCPUからの入力データIN DATAによって設定され、D, ~D, またはD, ~D, のデータが内部のデータラシチによって取り込まれ、決定された分周比データDV.Dがボーレートジェネレータ254(送受信クロック発生器)へ出力される。

なお、データラシチのデータ読み込みは、アドレスデコーダ251からのセレクト信号SEL46に制御する。

信号DIVAEN～DIVDENが "L" でア

クティブである時は、CPUからのデータの内容に無関係に外部からの入力信号DVRA0～DVRA2, DVRB0～DVRB2, DVRC0～DVRC2, DVRD0～DVRD2によって、対応するポートの分周比が決定される。

このように、ボーレートジェネレータ254による基準クロックの分周比は、CPUからも外部信号からも設定でき、各ポート(チャンネル)A～Dの通信速度(ボーレート)を自由に設定する事できる。

ここで、DVRA2, DVRA1, DVRA0 (0は各ポートに対応するA～D)の "L" "H" と基準クロック CLOCK(14.7456MHzとする)に対する分周比及びボーレートの例を示す。

DVRA2	DVRA1	DVRA0	分周比	ボーレート
L	L	L	1/24×1	614.4kHz
L	L	H	1/24×1/2	307.2kHz
L	H	L	1/24×1/4	153.6kHz
L	H	H	1/24×1/8	76.8kHz
H	L	L	1/24×1/16	38.4kHz

H L H $1/24 \times 1/32$ 19.2KHz
 H H L $1/24 \times 1/64$ 9.6KHz

CPUからの入力データ IN DATA には各々
論理ポート A～D を選択許可／禁止状態にするビ
ットが含まれてあり、やはりこれもセレクト信号
SEL 45 に同期してデータランプされ、ENB
L 信号として送受信許可／禁止信号出力部 280
へ出力される。

それによつて、送受信許可／禁止信号出力部
280は、インストラクションレジスタINST
3からのLPASNデータに従つて実験の物理的
各送受信ブロック255～258へ通信許可／禁
止信号ENBLPを出力する。

ここで、ポーレートジェネレータ254の機能についてもう少し説明を加える。

まず、外部からの基準クロック $CLOCK$ を被覆の $T - FP$ によって適度な電 (例えば $1/24$) に分周し、そのクロック CK_n をさらに 7 個の $T - FP$ によって $1/128$ まで分周する。

する。

次に、送受信プロセス 255-258 によるシリアルポート送信タイミングについて説明する。

第21図は、第18図の送受信ブロック255～258中の送信ブロックの具体例を示す図面であり、第22図はそれによる送信時のタイムチャートである。

以下、ポートAを例にとって説明する。

第21回ではSELは第18回のポートセレクタからのポートセレクト信号SEL Aである。WR T X Bは、第18回には表示していないが外部からのWR信号と等価である。さらにENTED B信号は送受信許可/禁止信号出力部260からのポートイキーブル/ディスエーブル(許可/禁止)のENA(許可)信号である。

WRTXB信号に同期して、送信パケット275のD. ~D. にCPUから送信データINDATAが入力されると、WRTXB信号の立ち上がりで送信レディ信号TXRDYがインアクティブとなる。

この7個のT-FPの入出力クロソクを4個のマルチブレクサに入力し、CK₀₀／1-CK₀₀／128の8種のクロソクのうち、インストラクションレジスタINST45からの分周比データDV_Dによって決定される1つのクロソクを選択して、例えば送受信プロロジク255に送信クロソク(TIA)としてCLKAを出力する。

受信クロック (RXA) についても同様であり、他の送受信プロック 256~258への送受信クロック CLK_B, CLK_C, CLK_Dも同様にして出力する。

次に、2つのステータスレジスタSTAT1、STAT2について簡単に説明する。

1つは送受信のレディレジスタであり、もう1つはエラーステータスレジスタである。CPUは C/D を“H”にしてこれらのステータスレジスタの内容を読み出すことができるが、読み出し中はステータスの更新は禁止されている。

なお、この2つのステータスレジスタの機能について、送受信プロトクルの説明をした後に説明

その後、T X C クロックによってシフトレジスター 276 の LD 入力信号がアクティブとなると、送信データは送信バッファ 275 からこのシフトレジスター 276 へ転送される。

この時点で、CPUからは再び送信バッファ275への送信データの入力が可能となるので、LD信号の立下りと共に、TXRDY信号はアクティブとなる。

ここで、送信ブロックはシフトレジスタ 276 からシリアル送信を TxD 信号として送信開始するが、その送信途中でも CPU からは次の送信データの入力が可能である。

Yスレのシリアル送信開始と同時にY1B53
Y信号がアクティブとなって、送信パンフA27
5からシフトレジスタ27Bへのデータ転送を継
続する。

一方、シフトレジスタ278は、スタートビット、データビットD₀、…、データビットD_n、ストップビットの順でTXCクロックに同期して送信データをシリアル出力する。

なお、スタートビット「L」とストップビット「H」は、シフトレジスタ278で自動的に送信データに付加している。

1送信データ（1スタートビット+8データ+1ストップビット=10）をカウントするビットカウンタ277は、スタートビット送出から1ノ2TxCクロックずれてカウントを開始する。

このビットカウンタの値が9になると次のTxCクロックの立上りでこのビットカウンタはリセットされると共に、TXBUSYが解除される。この時点で、送信バッファ275の内容はシフトレジスタ278への転送が可能となり、LD信号がアクティブとなる。

このようなシーケンスで、次々とシリアルデータの送信が行なわれていく。

次に、送信ブロック255～258によるシリアルポート受信タイミングについて説明する。

第23図は、第18図の送信ブロック255～258の中の受信ブロックの具体例を示す回路図であり、第24図はそれによる受信時のタイミング

あるとしてD-PP284の出力は「L」となり、次のスタートトリガパルスSTRの発生準備をすると同時に、ビットカウンタ282をクリアする。

スタートトリガパルスSTR発生をネゲートされた状態で、シフトレジスタ285はRXDからのシリアル入力データを取り込む。これは入力データビットの中央（TxCのクロックの立上り）でラッチされる。

また、ビットカウンタ282もカウントスタートする。ビットカウンタ282の値が「8」となってからTxC/2クロックの後ストロボ信号STBがインバータ287より発生する。このストロボ信号STBの立上りでシフトレジスタ285内のシリアル入力データQ.~Q.を送信バッファ288がラッチして第19図のマルチブレクサ235に出力する。

ストロボ信号STBの立下りの時点D-PP288はRXD入力データを見て、ストップビットに相当するこのデータが「L」であれば、出力PRE&Rをアクティブとしてフレーミングエラ

テマーである。

なお、この例では受信クロックTxCの作成部が受信ブロック内に入っているが、これは第19図のボーレートジェネレータ254に入っていても良い。

以下、ポートAを例にとって説明する。

まず、外部からの受信データRXDが「H」から「L」に変わった所でNORゲート280よりスタートトリガパルスSTRが発生する。

受信クロック発生部281は、このスタートトリガパルスSTRに位相を合わせて受信クロックTxCを作り出す。スタートトリガパルスSTR発生後最初の受信クロックTxCの立上り時にNORゲート283よりエラースタートチェックパルスが発生する。

このパルスが発生した時点でRXD入力が「L」つまりスタートビットを保つていれば、D-PP284の出力は「H」となって、スタートトリガパルスSTRの発生をネゲートする。もしRXD入力が「H」であるならば、該スタートビットで

一発生を第19図のステータスレジスタSTAT2に伝える。このPRE&R信号はインストラクションレジスタINST2によってリセットされる迄エラー状態を保持する。

ストロボ信号STBの立下り性、NORゲート288はフレームエンドパルスを発生し、S-PP280をセットしてRXRDY信号をアクティブにする。このRXRDY信号は、ポートAが選択されて送信バッファ288のデータをマルチブレクサ235が読み込んだ時、つまりRD信号の立下りでクリアされる。

もしRXRDY信号が「H」つまりシフトレジスタ285に有効なデータがある時にストロボ信号STBが発生した場合は、受信データをCPUが読み込む前に次の受信データがあつたということであり、D-PP281によりオーバランエラーレベルOVRE&Rが出力される。

このOVRE&R信号は、フレーミングエラーと同様に第19図のインストラクションレジスタINST2からリセットされる迄エラー状態を保

持する。

もし、次のストロボ信号STBの発生前に受信バッファ28Bの内容がCPUに読み込まれれば、RXRDY信号はインアクティブとなっているのでエラーは発生しない。

ここで、第19回における2つのステータスレジスタSTAT1, STAT2の機能について説明する。

第21回の送信バッファ275が空のとき、つまり前のデータがシフルージスタ276に転送終了した時点でその送受信ブロックが転送レディ状態となる。この時、ステータスレジスタSTAT1のTXRDYフラグが“1”になる。また、その送信ポートがノンマスクであれば、TXRDY線が“L”になる。

CPUがTXRDYフラグを読み出して、データバスライン経由で送信バッファ275にデータを転送すると、TXRDYフラグは“0”に落ちる。但し、他のノンマスク送信ポートがレディであれば、TXRDY線はアクティブ状態を維持す

タスレジスタSTAT1のRXRDYフラグ、TXRDYフラグはいずれも“0”となる。

一方、ステータスレジスタSTAT2は、送受信ブロック255-258における第23回の受信側で、各々のデータの終わりで有効なストップビットが検出されない（ストップビットが“L”）時、フレーミングエラーが発生したとして、このステータスレジスタの対応するポートのFREビットが“1”にセットされる。

また、受信バッファ286内にデータがまだ有る時に次のデータを受信した時には、オーバランエラーが発生したとして、このステータスレジスタSTAT2の対応するポートのOVRビットが“1”にセットされる。

フレーミングエラーもオーバランエラーも、発生した時の動作はこれだけであり、特に複雑的なエラーリカバリ動作は行なわない。また、FRE、OVRビットは、共にインストラクションレジスタのERSTビットを“1”にすることによりリセットされる。

る。

そして、送信バッファ275内のデータがシフルージスタ278に転送し終えると、TXRDYフラグは再び“1”になる。

また、第23回の受信バッファ288にデータが入力されると、レシーブ動作があつたとして、このステータスレジスタSTAT1内の対応するRXRDYフラグが“1”にセットされる。また、その受信ポートがノンマスクであれば、CPUへのRXRDY線も“L”になる。

CPUが受信バッファ286内のデータを読み出すと、RXRDYフラグは“0”となるが、RXRDY線は他のノンマスク受信ポートの受信バッファ内にデータがある場合は、アクティブ状態を維持する。

このステータスレジスタSTAT1は、インストラクションレジスタINST1のマスク／ノンマスクの影響を受けない。一方、インストラクションレジスタINST45のENBL・フラグが“0”的送受信ポートのについては、このステイ

ここで、第19回に示した各レジスタINST1, INST2, INST3, INST45 (INST4, INST5), STAT1及びSTAT2のレジスタマップを第25回に示す。

なお、INST4, 5により設定されるポートは、全て基準クロックCLOCKの周波数×1/24×1/nであり、図中では1/nのみを示している。

以上説明した通信制御用インタフェース回路（CCI回路）は、第19回に破線で囲んで示した回路を基板回路（IC）化して一體的に形成し、第26回に示すようなワンチップの基板回路電子とすることもできる。

以下に、その基板回路電子化した実施例について記述する。

このICには、前述のように非同期通信可能なシリアルポートが4つ内蔵されており、4チャンネルシリアル制御による全二重送受信可能であり、その転送レイトはハードウエアとソフトウエアのどちらでも設定可能である。また、4チャンネル

の論理アドレスと物理アドレスの設定が自由である。

このICの各ピンの信号名とその機能を簡単に列記する。なお、信号名の後に示す(I)は入力、(O)は出力、(I/O)は入出力をそれぞれ示す。
D. ~D, (I/O) : データバス

本ICとCPU間のコマンド、データ、及びステータスの転送に使われる双方向の3ステートデータバス。

RESET (I) : リセット信号
ローレベルでリセット動作を行なう。
①全ての内部レジスタ又は内部バッファをクリア又はデフォルトする。
②送信端TXDA~TXDD出力をマーク状態('H')にする。
③全ての送受信ポートをイネーブルにする。
④TXRDY線、RXRDY線をアクティブにする。

信号である。

CLOCK (I) : 外部クロック入力
キヤラクタ送受信用の基本クロック信号である。

TXDA~TXDD (O) : 送信データ出力
チャンネルA~Dの送信部シリアルデータ出力である。

RXDA~RXDD (I) : 受信データ入力
チャンネルA~Dの受信シリアルデータ出力である。

TXRDY (O) : トランスマットレディ信号
本ICがデータを送信可能な状態であることをCPUに知らせるための信号である。

Vcc : 電源入力
GND : 0V電源(アース)
なお、DIV·EN, DVR·2, DVR·1, およびDVR·0(0はA~D)については、既に説明したように分周比すなわち転送レイトの設定方法の選択と外部設定入力である。

CS (I) : チップセレクト信号

'L' の時に本ICとCPU間のデータが可能になる。

WR (I) : ライトストローブ信号

この信号が 'L' でCSが 'L' のとき、データバスD. ~D, 上の内容が本ICに書き込まれる。

C/D (I) : コントロール/データ信号

WR, RDとともに、本ICに対してデータバス上の内容がデータかコントロールロード又はステータス情報であるかを知らせる。

H : コントロール又はステータス

L : データ

A. ~A, (I) : アドレス入力

送受信ポートを含めて本ICの内部レジスタを選択する。

RXRDY (O) : レシーブレディ信号

本ICがデータを受信して、それを保持していることをCPUに知らせるための

シーダプリンタ本体と付加装置との接続

まず、付加装置(オプション)の接続と接続先の特定について、第27回のフローチャートによつて説明する。

第10回におけるプリントエンジンPCBS1内のCPU142(以下「本体CPU」という)は、パワーオン(電源ON)後、通信制御用インターフェース(CCI)回路150のインストラクションレジスタINST3(第19回)に既に論理ポートアサインデータ(アドレス)を書き込む。たとえば「11100100」と書き込むと、

論理ポートと物理ポートが

論理ポート 物理ポート

A←→A

B←→B

C←→C

D←→D

のように対応する。

また、本体CPU142から書き込まれなくて、CCI回路150のパワーオン後のデフ

オルト端を利用してもよい。

次に、物理ポートA～Dを通じて各オプションを初期化すべくコマンドを送出する。全てのポートに対して初期化指令を送出してしばらく経た後、各物理ポートに接続されている付加装置の認識番号を問い合わせる要求コマンドを送出する。

今、「物理ポートA＝物理ポートA」となるよう初期設定したので、CPUから見たAポートは物理的にもAポートである。

この時付加装置から応答が無い場合は、複数個（第27回の例では2回）問い合わせを行なつてそれでも応答が無い場合に「物理ポートN＝接続オプションなし」というデータを物理テーブルに書き込む。

この本体CPUのメモリ（RAMエリア）内の物理テーブルは、たとえば第28回に示すような構成となつている。

今、物理ポートA～Dに対応する各オプションからの認識情報の返答が

- A オプション#3 (コード011)
- B オプション#1 (コード001)
- C オプション#4 (コード100)
- D 返答なし

であったとする。この時本体CPUのメモリ内の物理テーブルには

“011001100000”

というデータが書き込まれる。

一方、この本体CPUのメモリ（ROMエリア）内の物理テーブルには、第29回に示すように、

“001010011100”

というデータが存在していたとする。

これはつまり、本体CPUのメインプログラム上では、各ポートA～Dにそれぞれ次のオプションが接続されているとして扱っていることを示す。

ポートAにはオプション#1

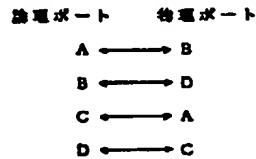
ポートBにはオプション#2

ポートCにはオプション#3

ポートDにはオプション#4

本体CPUは、物理テーブルに各物理ポート接

続のオプション認識番号を書き込んだ後に、物理テーブルと物理テーブルを比較して、



と対応付ければ、メインプログラム上で全く正常にオプションとの連携が行なえることを知る。

その結果、本体CPU142はICC回路52内のインストラクションレジスタINST3に
“10001101”

というデータを書き込む。

この操作の後、CPU側から見ればあたかも

- ポートAにオプション#1
- ポートCにオプション#3
- ポートDにオプション#4

が接続されているように取り扱うことが可能となる。またポートBには本来オプション#2が接続されるはずだが、現在は接続されていないことも

知る。

そして、CPU142は外部コントローラ（IFC）52に対してオプション構成、つまり現在オプション#1、#3、#4が接続しているという情報を送出して、その後メインプログラムに処理を移していく。

このように、各付加装置（LCIT、LCOT、MB、DPX等のオプション・デバイス）は、それぞれ固有の認識情報（デバイスID）を持っており、それによって本体CPUが各付加装置の接続状態を認識することができる。

記録媒体識別番号の共有

この実施例では、記録媒体に識別番号を使用しているが、これは画像形成装置（この実施例ではレーザプリンタ）本体が独自に付けるたとえば記録用紙の識別番号（以下「ペーパーID」という）である。

これは、ペーパー上に記録される番号という意味ではなく、インタフェースコントローラ（IFC）とプリントエンジンと付加装置（オプション）間

で共有される仮想のデータである。

たとえば、レーザプリンタシステム内に最大6枚のペーパーが存在する場合があり得るとする。この時、最低で1~6のペーパーIDを付けることができれば、IFC、プリントエンジン、オプションは、各自現在どこにどの紙が存在しているか知ることができる。

そこで、このペーパーIDに4ビットを割り当て、本体CPUが1~Fまでの番号を実質的に割り付けるようにしている。たとえば、両面プリントをする場合でも、1枚の用紙に対して1つのペーパーIDが付けられる。

このようにすることにより、IFC52からのジャムバックアップが容易になる。

たとえば、レーザプリンタ内で用紙がジャムした場合、これに記録された内容は失なわれてしまう。したがつて、同一のデータを改めてプリントする必要がある。

ところが、従来はIFC52としては、どの紙に記録した内容が失なわれてしまったのかを直接

知る手段が無く、ジャム位置の情報等からおおよその見当を付けて再度記録データをプリントエンジンに送るという手段をとつていた。

ところがこれだと、再記録すべきデータの位置に乏しく、大きな欠点となつていた。

この実施例ではこの欠点を改善すべく、記録するべき用紙に仮想のペーパーIDを付けて、IFC、プリントエンジン、オプション間でこのデータを共有することにした。

それによつて、例えばジャムが発生した場合、IFC52はジャムしている用紙のペーパーIDをプリントエンジン51に向い合わせて、再記録すべきデータがどれであるかを正確に知ることができること。

また、IFC52は記録開始する時点でプリントエンジン51より受け取るペーパーIDと、用紙完了した時点ではやはり本体から受け取るペーパーIDとを比較して、常に現時点で本体1内に入っている用紙のペーパーIDを知ることができるので、ジャムした時点でIFC52がジャム紙を自ら特

定することも可能になる。

したがつて、IFCからのジャムバックアッププリントが非常に容易になる。

また、このペーパーIDをオプションとも共有することによって、本体CPU142の負荷を軽減することができる。

すなわち、送紙オプション、抄紙オプションあるいは両面プリントオプション等のオプションのうち、IFC52から選択された送紙経路上にあるオプションに対してペーパーIDを送出した後、本体CPU142は本体1内にある用紙に対応するペーパーID以外は一旦メモリから消去してもかまわない。

もし、一旦本体1から排出された用紙が再び本体に吸いされるような送紙経路であれば、排出する時点で排出先のオプションにペーパーIDの管理権を握り、また本体内に吸いする時点で相手となるオプションからペーパーIDを知らせてもらえば良い。

さらに、もし排出した先でジャムが発生したと

しても、そのオプションからジャム発生した用紙のペーパーID情報をもつてIFCへ伝えればよいことになる。

このように、レーザプリンタ本体のCPUが全てのペーパーIDを常に管理する必要はなく、ペーパーID情報を必要となつた時に、その都度IFCやオプションとペーパーID情報の授受を実行すればよいことになる。

このような、本体CPU142側のペーパーIDに関する動作を第30回~第32回のフローチャートに示す。

なお、第32回はジャム発生時の削込み処理であり、本体内のジャム紙のペーパーIDをIFCへ出力し、各オプション内にもジャム紙があれば、そのペーパーIDをそのオプションから入力する。そして、これらの各ジャム紙のペーパーIDをIFCへ出力する。

その後、本体内のジャムが解除され、各オプションからジャムが解除された情報を入力すると、システムレディ信号をIFCへ出力して削込み処

道を終了し、メインルーチンへ復帰する。

第3回は、IFC52側のペーパIDに関する動作を示すフローチャートである。

プリントエンジンにおける制御機能

この実施例におけるプリントエンジンの制御は、第8回～第11回、第15回及び第16回に示したプリントエンジン PCB51 によってなされるが、その機能は大別して次の3つのブロックからなる。

- (A) シーケンスコントロールブロック
- (B) ビデオインタフェースコントロールブロック
- (C) 通信コントロールブロック

いづれのブロックも CPU142 が固有しているが、シーケンスコントロールブロックは CPU142を中心とするブロックで、プリント時のプリントエンジンユニット自体の各部のシーケンス制御と、一部のオプションデバイスのシーケンスを行なう。

ビデオインタフェース・コントロールブロック

トロール、及び各オプションのデバイス I/F コントロールを行なう。

一方、内部ステータスルーチンでは、定着器のヒータコントロール、プリントステータスインプット（各種センサ類の監視）、プリントシステム・モードセット（通常プリントモード、テストプリントモード、エラー発生等のモードセット）、及びプリントシステム・ステータステクニク（センサ入力の分析・診断）を行なう。

前述処理ルーチンのプリントタイミングコントロールでは、給紙、搬送、及びイジエクト（挿紙）の各コントロールを行なうペーパ处理コントロールと、PGATE（画像書き込み制御用の信号）のコントロール及び各チャージヤへの高電圧印加をコントロールするプロセスコントロールとを行なう。

IFC I/F コントロールでは、IFC52側のデータ入力を一時記憶する IFC データインプットルーチンと、コマンドバッファに入れるかどうかを判断するルーチン及びアウトプットデータ

は、前述のビデオコントロール回路 149を中心とするブロックで、IFC・PCB52との間で信号の授受を行ない、半導体レーザ駆動回路を制御してレーザビームによる感光体ドラム 28 への画像データの書き込みを制御する。

通信コントロールブロックは、さらに2つに別れる。一方は、前述の通信制御用インタフェース（CCI）回路を中心とするブロックで、その各シリアルインタフェースポートにオプチカルファイバ・ケーブルを介して接続される各オプションデバイス（LCIT, DPX, MB 等）及び操作表示パネル 11 との間での通信を制御する。

もう一方は、CPUを中心とするブロックで、IFC・PCBとの間でデータの授受を行なう。

このプリントエンジンにおける CPU の構造を、第34回にブロック図で示す。

このコントロール機能は、前述処理ルーチンと内部ステータスルーチンとからなり、前述処理ルーチンでは、テックタイミングコントロール、プリントタイミングコントロール、IFC I/F コン

トロール、及び各オプションのデバイス I/F コントロールを行なう。

デバイス I/F コントロールでは、オプションデバイスからのデータを入力するデバイス I/F 入力ルーチンと、デバイスのステータスを見てデバイスをコントロールするコマンドを出すルーチン（デバイスステータス・ルーチンとデバイスコマンド・ルーチン）の処理を行なう。

第5回にこのプリントエンジンに使用している CPU142 の内部のデータの流れを示す。この図中、(A) のプリントエンジン・コントロール・モジュールの部分が前述のシーケンスコントロールブロックに、(B) の IFC I/F コントロール・モジュール及び (C) のデバイス I/F コントロールモジュールの部分が前述の通信コントロールモジュールブロックにそれぞれ CPU が固有している事を示している。

通信方法

- (A) インタフェースコントローラ (IFC) とプリントエンジン (PE) 間通信

IPC と PE とは、前述の CCI 回路によるか、または別の独立したシリアル通信手段によって通信を行なう。

IPC から PE への通信については、PE は受信時割込み処理により直ちに IPC からの受信内容に応じた処理を実行する。

PE から IPC へ送信する場合は、PE がまずサービスリクエスト信号 SRQ を真にして、それに応じて IPC が複合コマンドを送信する。その結果、PE は SRQ を偽にすると共に送信を開始する。または、PE が非常に IPC へデータを送信して IPC よりそのデータの受信確認を受けとつた後、次のデータ送信を行なう方法をとる。

(b) プリントエンジン (PE) と各デバイス間通信

PE と周囲及び大量紙張ユニット (DPX & LCIT)、メールボックス (MB)、操作表示パネル (オペレーションパネル: OP) 等の各デバイス間はボーリング方式で通信する。

すなわち、常に PE からのコマンド (Command)、ステータス (Status)、ステータスリクエスト

(Status Request)、インクワイアリ (Inquiry) に対する応答として、デバイス側が返送する方式をとる。

また、PE からデバイスへの送信は、先頭に送信開始 (TB) コード及び後尾に送信終了 (TE) コードを伴ない、これらの両コードにはデバイス識別情報であるデバイス ID を含む。

各デバイスから PE への送信も、先頭に TB コード、後尾に TE コードを伴なう。この通信方法を第 3 図に図示する。

(c) 通信エラー時の処理

PE と各デバイス間の通信において、受信状態が次の①～④の場合に再送信要求 (Re-transmit Request) を送る。

① オーバランエラー又はフレーミングエラー等の

通信エラーを検出した時

② イリーガルコード (Illegal Code) を受信した時

③ 一定期間以上データを受信しなかつた時

送信側は、再送信要求を受けたら適当なタイミ

ングで再送信を実行する。再送信要求に応答して再送信されたデータが再び上記の①～④のいずれかに該当する場合は、受信側は通信エラー発生と判断して必要な処置をとる。

また、IPC と PE 間において、PE の受信内容が上記の又は④に該当する時、PE は IPC に対して受信データ誤算不能を示すコードを送信する。①又は④の状態が連続して 2 回以上発生した時は、PE は通信エラーと判断して「通信エラーイベントレポート」を IPC に送出して、「イニシヤライズ」コマンド以外のコマンドは受けない状態に入る。

(d) タイミングフロー図による説明

第 37 図～第 41 図は PE と IPC 及びデバイス間の通信内容と各部の動作をそれぞれタイミングフロー図で示す。

第 37 図はパワー ON 時、第 38 図は通常プリント時、第 39 図はリミットレスプリント時、第 40 図はプリントエンジンジヤム及び紙張デバイスジヤム発生時、第 41 図は排紙デバイスジヤム

発生時のタイミングフロー図である。

なお、第 38 図～第 41 図中 FGATE は面積書き込み時の記述方向のタイミングをとるための制御信号である。

第 39 図の、リミットレスモードは、選択されている紙張デバイス (上、下給紙カセット又は LCIT) のペーパーがなくなると自動的に他の紙張デバイスを選択し、選択されている紙張デバイス (LCOT の上段紙張トレイ又は下段紙張トレイ等) のペーパーが一杯 (フル) になると自動的に他の紙張トレイを選択して、これらの自動選択ができないなくなるまで連続的にプリントし続けるモードである。

第 37 図のパワー ON 時の動作において、「イニシヤライズ」について説明する。

イニシヤライズコマンドは、IPC が PE に対してイニシヤライズを要求するコマンドである。

また、IPC が PE に出力するプリント要求を独立した信号 (PRINT 信号) で出力するか、通信自体上のプリント要求コマンド (Print command)

で出力するかを選択するコマンドでもある。

このコマンドはアーギュメント (argument) の内容によって次のような意味をもつ。

アーギュメントとは IFC により送信されるコマンドに付随して送信されるデータのことであり、コマンドをさらに細分化する機能を持つ。

① initialize: PE は全てのユニットを初期状態に戻す。

② diagnostics: PE は全てのユニットを初期状態に戻した後、電気的自己診断を実行し、その結果として診断ベクトルを IFC に送す。

③ test print: PE は診断ベクトルを IFC に送り、また所定のテストパターンのテストプリントを実行する。

④ PRINT/FF command:

IFC がプリント要求として PRINT 信号を送信した場合、PE は PRINT アクティプでプリント要求があつたと判断する。また、この要求に対する

応答は特に選さない。

IFC がプリント要求として FF command を選択した場合、PE は FF command を受け取った時にプリント要求があつたと判断する。また、プリント要求に対する PE 側の応答として、PE 側で定めたペーパID を送す。

なお、このペーパID は記録媒体である紙の識別コード（バイナリコード）であつてページの識別コードではない。したがつて、両面プリントモードの時は、同一のペーパID が表面プリントの時及び裏面プリントの時の 2 度出力される。

また、FF command によるプリント要求を送信した場合は、PE は録紙完了時に、録紙完了ステータスにその紙のペーパID を付けて IFC に対してイベントレポートを送出する（第38図、第39図参照）。

このイニシヤライズコマンドのアーギュメントのフォーマットを第44図に示す。b₁ ビットは常に '1' でイニシヤライズを示し、b₂ は diagnostics のビット、b₃ はテストプリントの

ビットで、いずれも実行する時は '1'、実行しない時は '0' である。b₄ は PRINT/FF command の選択用ビットで、PRINT 信号によるプリント要求の時は '0'、FF command によるプリント要求の時は '1' である。

したがつて、IFC からのイニシヤライズコマンドのアーギュメントの b₁ ビットが '1' である時、PE は回答として診断ベクトルを IFC に送す。b₂ ビットが '0' の時、回答はアーギュメントの内容で b₃ ビットを '0' として送す。

なお、本実施例ではプリント要求を信号線により出力するか、コマンドにより出力するかの選択をイニシヤライズコマンドにより実行しているが、これは例えば、PCB 上に配置された SW 等により設定することも可能である。

自己診断の内容は次のようなものである。

① PE CPU テスト (ROM, RAM, タイマーのテストを含む)

② DPX & LCIT CPU テスト (両 上)

③ MB CPU テスト (両 上)

④ OP (オペレーションパネル) CPU テスト (両 上)

⑤ PE ~ DPX & LCIT 接続テスト (通信線)

⑥ PE ~ MB 接続テスト (通信線)

⑦ PE & LCOT I/O ポート

スキヤニングテスト

⑧ DPX & LCIT I/O ポート

スキヤニングテスト

⑨ MB I/O ポート スキヤニングテスト

⑩ OP I/O ポート スキヤニングテスト

次に、PE によるオプション構成の判断は、前述したように各デバイスからデバイス ID を受信して、各物理ポート (A~D) に接続されているデバイスを確認し、必要に応じて物理ポートと物理ポートの対応付けの変更も行なう。

ペーパーサイズ (プリント用紙の長さと幅) のデータは、それを選択後知するのではなく、各サイズのペーパーを収納するカセットコード (例えば 5

ビットのコード)を検知して、プリントエンジン内で次のようにコード変換する。

カセットコード→ペーパレンジスコード。
ペーパワイスコード

これによって、IFCはPEより各給紙トレイに収納されているペーパの幅及び長さの情報を得ることができる。

第38回及び第39回において、給紙デバイス選択は、IFCがPEに対して入力トレイを選択するコマンド(SET-CURRENT-INPUT)により行なわれ、選択された入力トレイが妥当なものであれば、その後のプリント要求に対しては新しく選択された入力トレイが有効となる。但し、妥当でない場合は以前の入力トレイが有効となる。

このコマンドのアーキュメントは8ビットデータの下位2ビットで入力トレイを指定する。

(例えば'01':PE上トレイ, '10':PE下トレイ, '11':LCITトレイ)

静紙デバイス選択は、IFCがPEに対して出力トレイ(静紙トレイ)を選択するコマンド(SET

-CURRENT-OUTPUT)を送出することによって行われ。選択された出力トレイが妥当なものであれば、その後プリント要求に対しては新しく選択された出力トレイが有効となる。但し、妥当でない場合は以前の出力トレイが有効となる。

このコマンドのアーキュメントは、例えば8ビットデータの下位5ビットで出力トレイを指定する。出力トレイの種類は、標準静紙トレイ、LCOTの上段静紙トレイと下段静紙トレイそれぞれノーマルポジションとオフセットポジション、後静紙トレイ、メールボックスの最下段トレイのノーマルポジションとオフセットポジション及び各ビン(#1~#6)がある。

プリントスタートリクエストはIFCがPEにプリント要求を行なうコマンドである。このコマンドは、予め前述したイニシャライズコマンドによって「PE command プリント要求」を選択した時にのみ有効である。

また、このコマンドに対する回答として、PEはPE側で定めたペーパIDをIFCに送る。さ

らに、このペーパIDは、プリントが行なわれて該当する用紙が供給完了した時に、PEから「静紙完了ステータス+ペーパID」の形式でインベントリポートとして送出される。なお、このペーパIDは例えば16進数の1~Fの範囲がサイクリックに送出される。

第40回及び第41回のジャム発生時の動作において、ジャムが発生すると、IFCがPEに対してジャムした紙のペーパIDを尋ねるコマンドを送り、PEは回答の第1バイトでジャム紙の枚数を送出し、それに続くバイトで各ジャム紙のペーパIDを送出する。

なお、ジャム紙がない場合はPEはジャム紙がないという意味のコード(例えば「00HJ」)を送出し、まだジャム状態であるがジャム紙のペーパIDが不定の場合(静紙動作進行中)はその旨のコード例えば「10HJ」を送出して送信を終る。

このPEからの回答のフォーマットを第45回に示す。

さらに、IFCがPEに対してジャム紙の位置

を尋ねるコマンドを送り、PEはプリントエンジン内のジャムであればそのジャム紙の位置を、オプションデバイス内のジャムであれば、オプションデバイスから受け取ったジャム紙の位置情報をIFCに回答する。

そして、このジャム紙の位置は、前述したように第4回に示した操作表示パネル11の給紙紙・ジャム表示部140にLCD 0~Pの点灯により表示される。

プリントエンジンジャムの場合の回答のフォーマットは第48回に示すようになっており、1バイトのb。ビットでジャム紙の有無を示し、b.~b.、ビットでジャム紙の位置を示す。#0~#6はジャム紙の位置で、それぞれ'1'の時にその位置にジャム紙があることを表わす。

なお、ジャム紙が確定していない時、つまりジャムが発生したが静紙動作中の時は、既に判明しているジャム紙のみについての回答となる。

他のオプションデバイス内でのジャム発生の場合の回答フォーマットもこれと同様である。

次に、第42図は大量給紙モードにおけるPEとLCIT間、第43図は両面プリント(印字)モードにおけるPEとDPX間の通信内容と各部の動作をそれぞれ示すタイミングフロー図である。

また、第47図は大量給紙モードにおけるLCIT間の各部の動作タイミングを示すタイミングチャート、第48図は両面プリントモードにおけるDPX間の各部の動作タイミングを示すタイミングチャートである。

なお、両面プリントモードは次に説明するようにMODE 1～nの複数のプリントモードを選択することができるが、ここに図示したのは1枚ごとに裏面と裏面を順次プリントするMODE 1の場合である。

両面プリントモード

両面ユニット6を使用して、プリント用紙の裏面にプリント(印字)する両面プリントモードには、MODE 1、MODE 2、MODE 3の3つのモードがあり、必要に応じてこれらのモードを選択して実行させることができる。

奇数番目のペーパの位置を太い実線で、偶数番目のペーパの位置を太い破線で示している。

なお、第48図(A)には奇数番と対応する部分に同一の符号を付しているが、他の図もこれと同じであるのでその符号を省略している。

まず、第48図(A)～(P)によってMODE 1のプリント工程を説明する。

給紙デバイスはどれを選択してもよいが、ここではプリント本体に搭載した上給紙カセットを選択した場合の例で、上給紙カセットから1枚目のペーパ#1の給紙を開始し(A)。まずその裏面にプリントする(B)。

そのペーパ#1を両面ユニットの反転用搬送路B5へ送り込む(C)。搬送方向を反転して待機用搬送路B8へ送り出す(D)。

そこから、これペーパ#1をLCITからと共通の給紙路を経て再び取扱位置へ給送し(E)。今度はその裏面にプリントして(F)。両面プリントが完了したペーパ#1を選択されている待機トレイに送出する。ついで3枚目のペーパ#3を給紙してその裏面にプリ

MODEの種類は、本体及び両面オプションに収納できる紙の最大枚数によつて決まり、本実施例ではMODE 3まで設定されているが、搬送距離の全体長がもっと長い場合には、さらに多くのMODEが設定可能である。

この3つのモードにおける紙の裏面と裏面のプリント順序の相違を、紙の裏面にプリントする順序で各紙に#1、#2、#3……の番号(ペーパIDに対応する)を付して示すと次のようになる。

MODE 1: #1表、#3裏、#2表、#2裏、#3表、#3裏、……

MODE 2: #1表、#2表、#1裏、#3表、#2裏、#4表、#3裏、……

MODE 3: #1表、#2表、#3表、#1裏、#4表、#2裏、#5表、#3裏、#6表、#4裏、……

この各モードのプリント工程をそれぞれ第49図、第50図、第51図によつて説明するが、これらの各図は両面プリント時に使用する紙(以下「ペーパ」という)の搬送経路を模式的に図示し、

2枚目以降のペーパについても同様にして、裏面と裏面にプリントして送出する。

次に、第50図(A)～(I)によつて、MODE 2のプリント工程を説明する。

今度は、給紙デバイスとして下給紙カセットを選択した場合の例で、下給紙カセットから給紙を開始し、まずその裏面にプリントする(A)。

そのペーパ#1を両面ユニットの反転用搬送路へ送り込むと同時に、2枚目のペーパ#2の給紙を開始する(B)。

そして、ペーパ#1の搬送方向を反転して待機用搬送路へ送り出すと同時に、ペーパ#2の裏面にプリントし(D)。その後ペーパ#1を再び給紙位置へ搬送すると共に、ペーパ#2を反転用搬送路へ送り込む(E)。

そのペーパ#2を待機用搬送路へ送り出すと同時に、ペーパ#1の裏面にプリントする(F)。そして、両面プリントが完了したペーパ#1を選択されている待機トレイに送出すると共に、残り3枚目のペーパ#3を給紙してその裏面にプリ

シトする。

その後、ペーパス3を反転用搬送路へ送り込むと共に、ペーパス2を再び原点位置へ搬送してその裏面にプリントし（G）、選択されている静紙トレイに送出する。

次いで枚目のペーパス4を搬送してその裏面にプリントすると同時に、ペーパス3を待機用搬送路へ送出する（H）。

以後、裏面にプリント済のペーパの裏面へのプリントと、新しいペーパの裏面へのプリントとを交互に行なう。

次に、図51A～Lによつて、MODE3のプリント工程を説明する。

今度は給紙デバイスとしてLCITを選択した場合の例で、LCITから1枚目のペーパス1の給紙を開始し（A）、まずその裏面にプリントする（B）。

その後ペーパス1を反転用搬送路へ送り込むと共に、2枚目のペーパス2の裏面にプリントし（C）。次いでペーパス1を待機用搬送路へ送出

する時にペーパス2を反転用搬送路へ送り込み、3枚目のペーパス3の裏面にプリントする（D）。

その後、ペーパス1を再度搬送路を送して原点位置へ搬送すると同時に、ペーパス2を待機用搬送路へ送り出し、ペーパス3を反転用搬送路へ送り込む（E）。

そして、ペーパス1の裏面にプリントすると共に、4枚目のペーパス4をLCITから給紙する（F）。次いで、ペーパス1を選択されている静紙トレイに送出すると同時に、ペーパス4の裏面にプリントし、ペーパス2を待機用搬送路へ送出すると共にペーパス3を待機用搬送路へ送出する（G）。

続いて、ペーパス4を両面ユニット側へ送出すると共にペーパス2の裏面にプリントし、同時に5枚目のペーパス5の給紙を開始する（H）。

そして、ペーパス5の裏面にプリントすると共に、ペーパス4を反転用搬送路へ送り込む（I）。次いで、ペーパス3を待機用搬送路へ送り出し、ペーパス4を待機用搬送路へ送出する（J）。

その後、ペーパス5を反転用搬送路へ送り込む

時にペーパス3の裏面にプリントし、6枚目のペーパス6の給紙を開始する。そのペーパス6の裏面にプリントする際、ペーパス6を給紙路へ送出し、ペーパス5を待機用搬送路へ送出する。

以後同様に、新しいペーパの裏面のプリントと2枚前のペーパの裏面のプリントを交互に行なう。

この3つの両面プリントモードによるプリントスピードは次の順であり。

MODE1 < MODE2 < MODE3

MODE2はMODE1の1.5倍以上、MODE3はMODE1の2倍以上のプリントスピードになる。

したがつて、大量の両面プリントを行なう場合はMODE3を選択するのが良い。

なお、以上はこの発明をレーザプリンタシステムに適用した実施例について詳述したが、この発明はこれに限るものではなく、その他の各種プリンタシステム、デジタル複写機等による高機能電子システム、ファクシミリシステム等の各種画像形成システムにも同様に適用することができる。

第二黑

以上説明したように、この発明によれば、画像形成装置本体への付加装置の接続状況を表示する手段を設けたので、現在の付加装置の接続状況をわちシス템構成を一日で把握することができ、便利である。

（以下余白）

4. 図面の簡単な説明

第1図(A)～(F)はこの発明の一実施例であるレザーリンタ・システムのそれぞれ異なるオプションの組合せ構成例を示す説明図。
 第2図は第1図(D)の構成の場合の外観例を示す概要図。
 第3図は同じくその内部構成を示す概要断面図。
 第4図は第2図の操作表示パネルの詳細を示す正面図。
 第5図は第3図のレーザ書込みユニットにおける光学系の構成を示す説明図。
 第6図はレーザ書込み用の同期信号発生回路の例を示す回路図。
 第7図は書込み制御回路の例を示すブロック回路図。
 第8図は第7図の回路の動作説明のための各信号波形図。
 第9図はこの発明の一実施例における制御系の接続構造を示すシステムプロック図。
 第10図は同じくそのエンジンドライバPCB等

の内部構成を示すシステムプロック図。
 第11図は同じくデバイス分離制御型の例を示すシステムプロック図。
 第12図(イ)(ロ)はこの発明の実施例に使用するコネクタ付き複数オプチカルファイバ・ケーブルの異なる例を示す外観図。
 第13図(イ)(ロ)はPCB側コネクタの正面図及び側面図。
 第14図(イ)(ロ)は同じくそれに内蔵されている发光部と受光部の断面図。
 第15図及び第16図はこの発明の一実施例におけるエンジンドライバPCBと他の各PCBの接続及び各PCBとその各種負荷及びセンサ等の接続状態を示すブロック図。
 第17図は通信制御用インターフェース回路150の接続構成を示すブロック回路図。
 第18図は同じくそのリードタイミングを示すタイミングチャート図。
 第19図は同じくこの通信制御用インターフェース回路の具体例を示すブロック回路図。

第20図は第18図におけるインストラクションレジスタINST3の具体例を示す回路図。
 第21図は送受信ブロック中の送信ブロックの具体例を示す回路図。
 第22図は送信時のタイムチャート図。
 第23図は送受信ブロック中の受信ブロックの具体例を示す回路図。
 第24図は受信時のタイムチャート図。
 第25図は第19図に示した各レジスタのデータ初期状態を示すレジスタマップ図。
 第26図はこの実施例のCCI回路を構成するICの拡大外観図。
 第27図はこの実施例の本体CPUによる付加装置の認識と接続先特定処理のフロー図。
 第28図及び第29図は本体CPUのメモリエリアにおける物理テーブルと論理テーブルの構成図。
 第30図乃至第32図は本体CPU側のペーパーバイドに関する動作のフロー図。
 第33図はIFC側のペーパーバイドに関する動作の

フロー図。
 第34図はプリントエンジンにおけるシーケンスコントロールの機能ブロック図。
 第35図は同じくそのデータの流れを示すデータフロー図。
 第36図はプリントエンジンと各デバイス間の通信方法の説明図。
 第37図乃至第41図はPEとIFC及び各デバイス間の通信内容と各部の動作を示すタイミングフロー図。
 第42図及び第43図はPEとLCIT図及びPEとDPX図の通信内容と動作をそれぞれ示すタイミングフロー図。
 第44図はイニシヤライズコマンドのアーキュメントのフォーマット例を示す図。
 第45図及び第46図はジャム発生時におけるPEからIFCへジャム基枚数とその各ペイドの回答フォーマット及びジャム基位置の回答フォーマットを示す図。
 第47図は大量給紙モードにおけるLCIT回路

の各部の動作タイミングを示すタイミングチャート図。

第48図は両面プリントモードにおけるDPX回路の各部の動作タイミングを示すタイミングチャート図。

第49図(A)～(F)は両面プリントモードMOD E1によるプリント工程の説明図。

第50図(A)～(I)は同じくMOD E2によるプリント工程の説明図。

第51図(A)～(L)は同じくMOD E3によるプリント工程の説明図である。

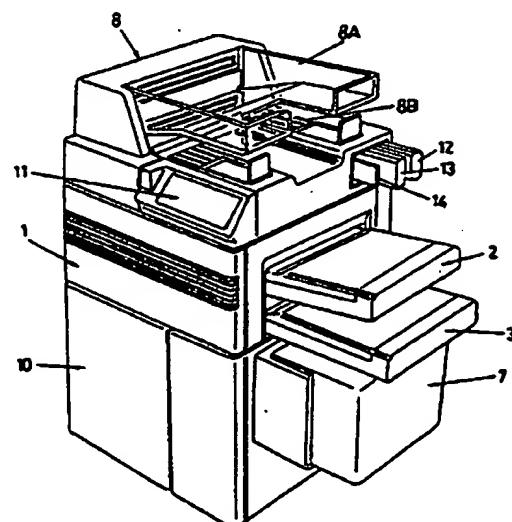
- 1...レーダプリンタ本体 2...上端紙カセット
- 3...下端紙カセット 4...標準紙ユニット
- 5...後端紙トレイ 6...両面ユニット(DPX)
- 7...大量紙ユニット(LCIT)
- 8...大量紙ユニット(LCOT)
- 9...メールボックス 10...テーブル
- 11...操作表示パネル
- 12, 13...フォントカートリッジ
- 14...エミュレーションカード

- 23...レジストコーラ
- 29...OPC感光体ドラム
- 30...紙巻チャージャ 31...定着器
- 34...電荷チャージャ 35...現像ユニット
- 40...レーザ書込みユニット
- 41...半導体レーザ
- 44...ポリゴンミラー(回転多面鏡)
- 50...フォトダイレクタ
- 51...プリントエンジン基板(PE・PCB)
- 52...インターフェース・コントローラ基板(IFC・PCB)
- 80...プリントエンジン(PE)ユニット
- 91...DPX & LCIT・PCB
- 92...メイルボックス(MB)ユニット
- 93...MB・PCB
- 96, 98', 98A～98F
...複数オプチカルファイバ・ケーブル
- 98...LCOT・PCB
- 99...DPX・PCB
- 100...LCIT・PCB

142, 152, 157...マイクロコンピュータ
(CPU)

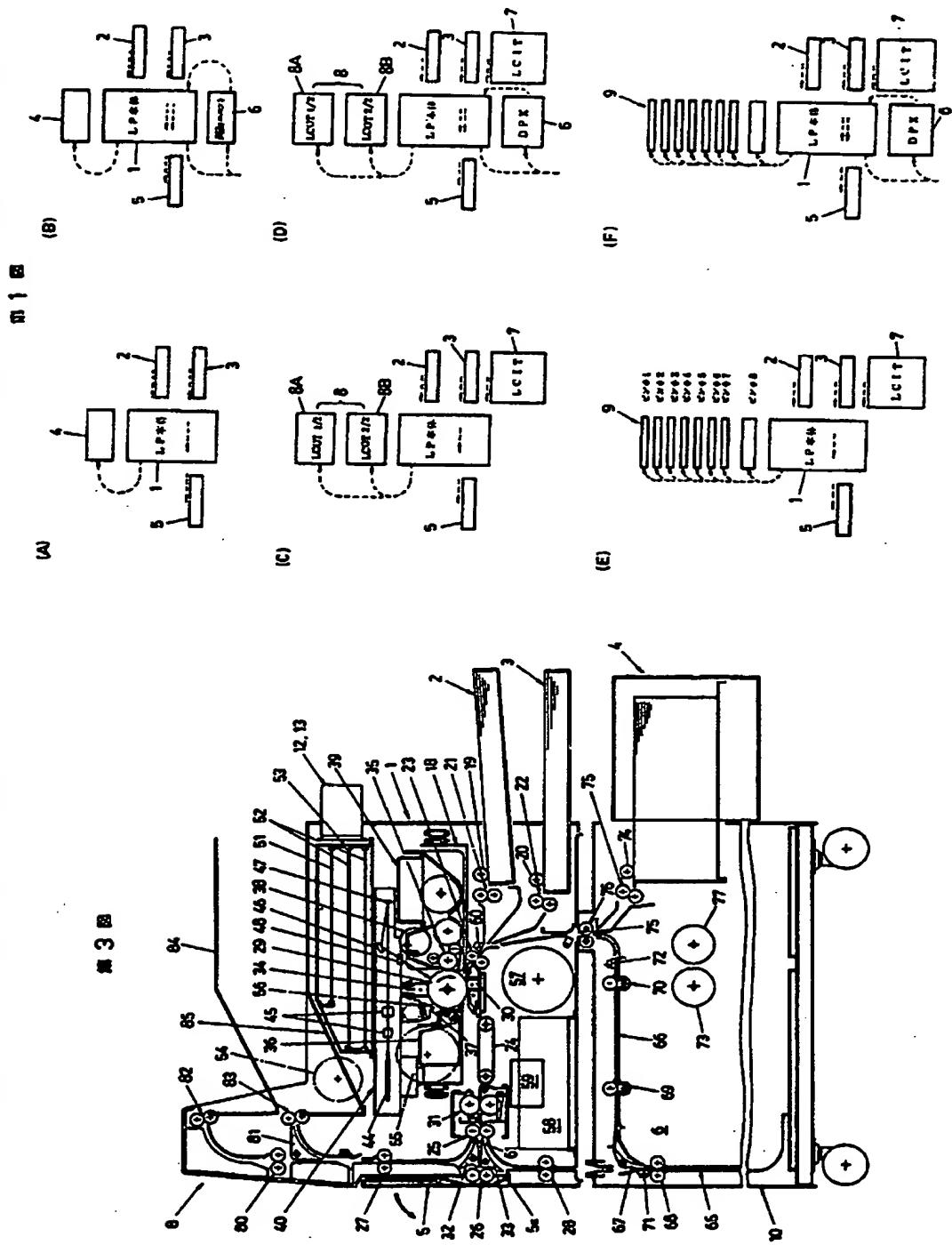
- 149...ビデオコントロール回路
- 150...通信制御用インターフェース回路
- 180...オスコネクタ 181...メスコネクタ
- 182...発光ダイオード(LED)
- 183...フォトダイオード(PD)

第2図

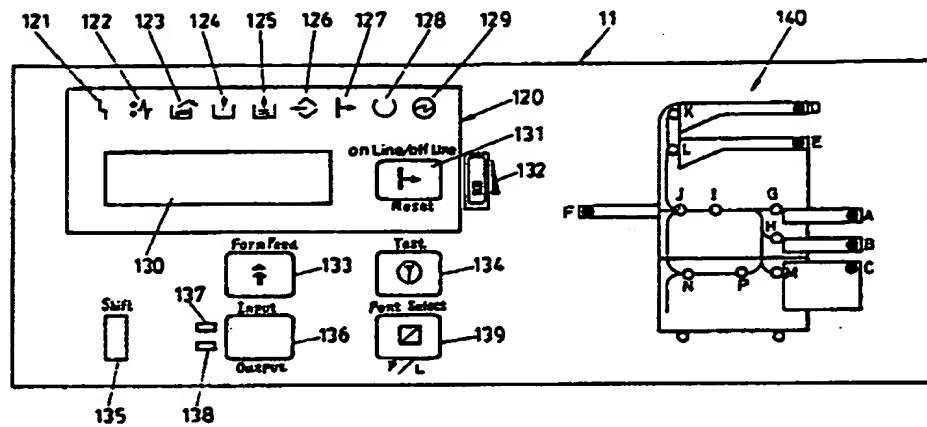


出版人 株式会社 リコ一
代理人 井草士 大 海

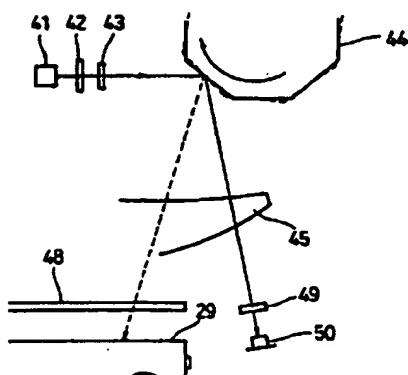
特開昭63-212955 (28)



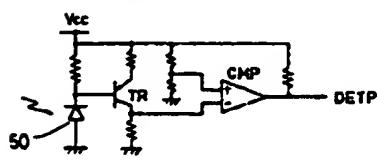
第4図



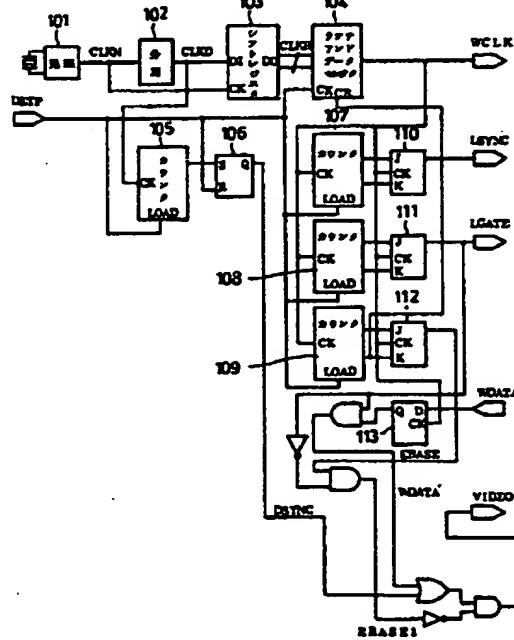
第5図



第6図

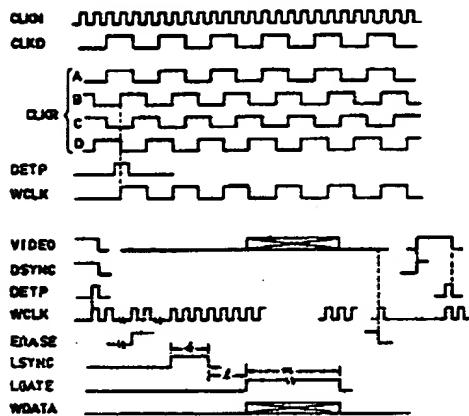


第7図

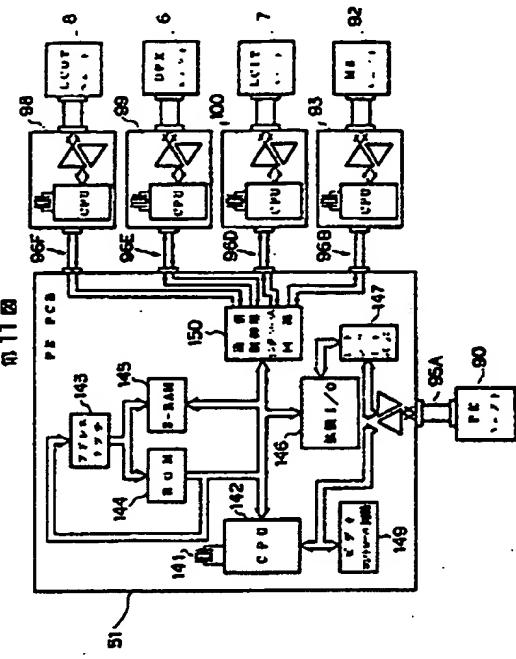


33-63-212955 (30)

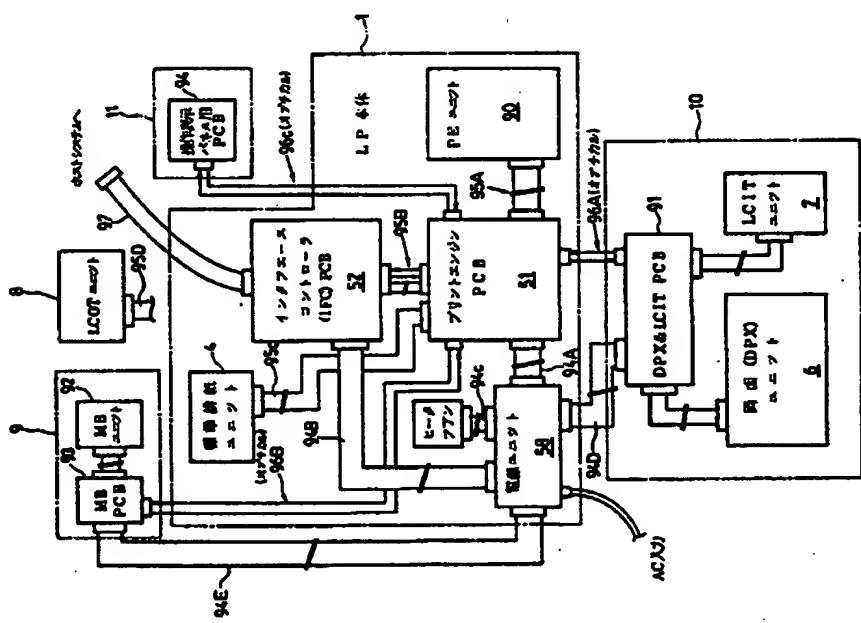
第 8 題



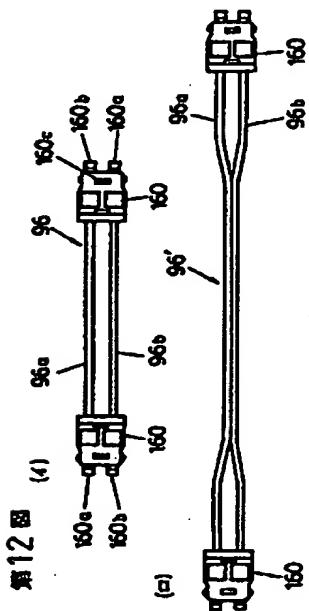
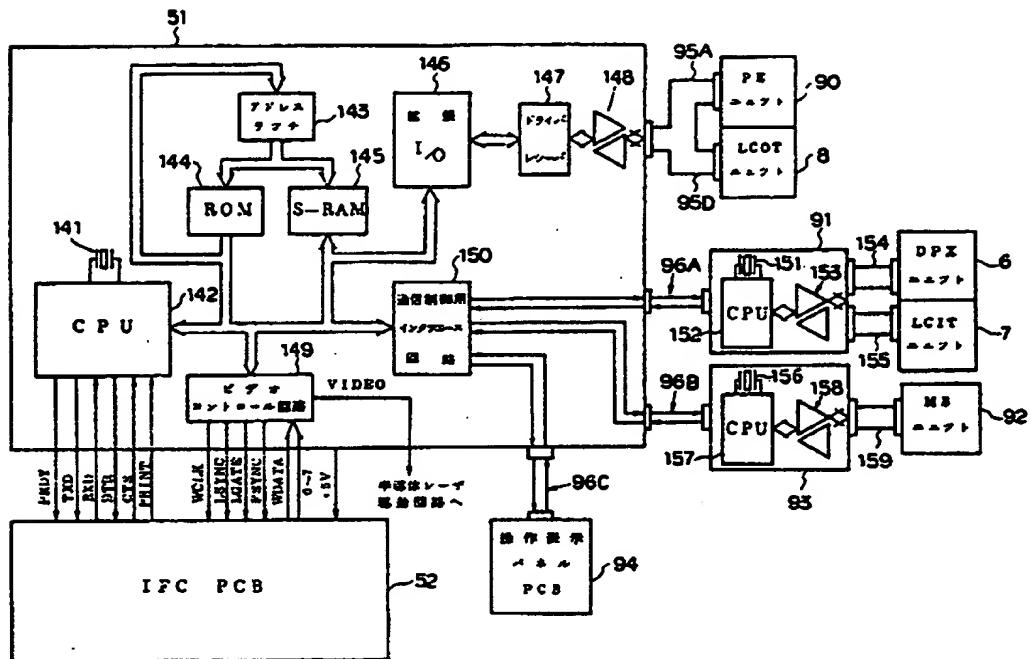
四百一十一



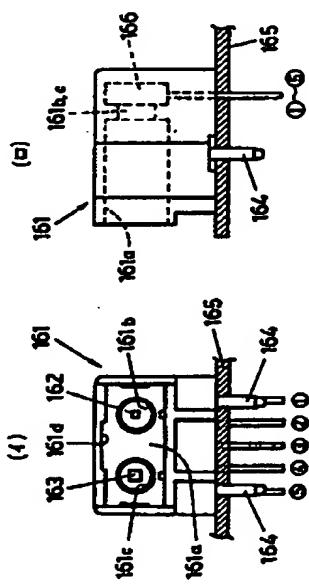
四
九
五



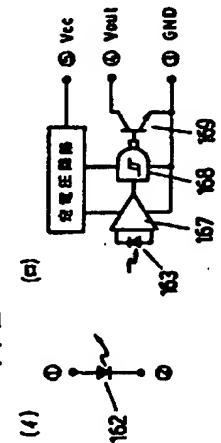
第10図

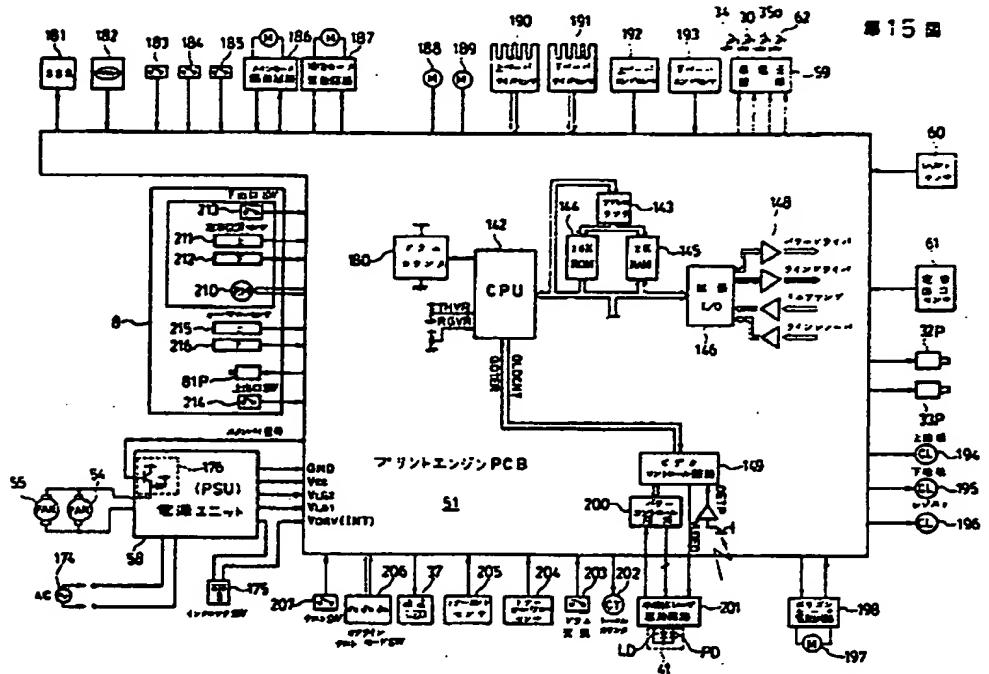


第13図

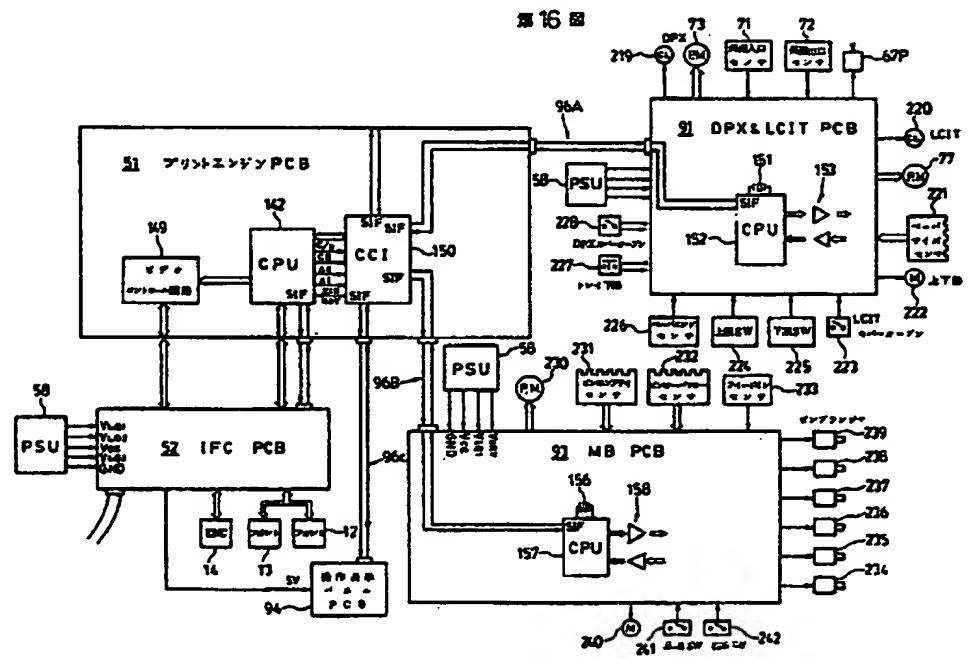


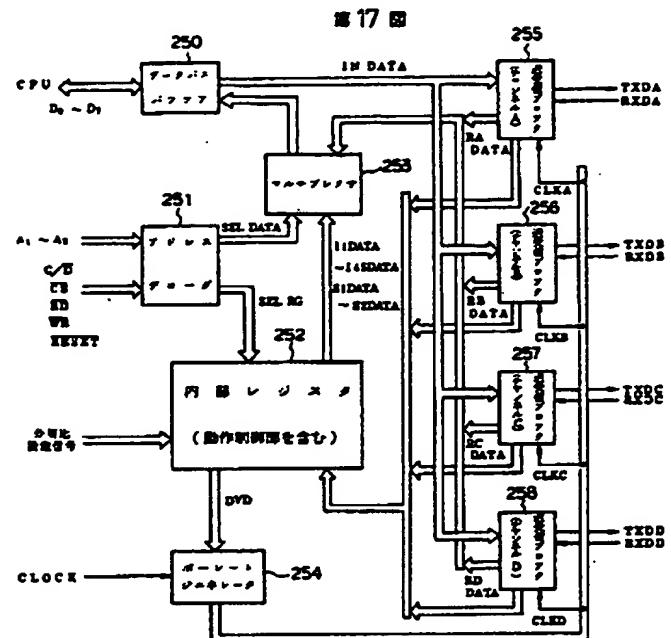
第14図



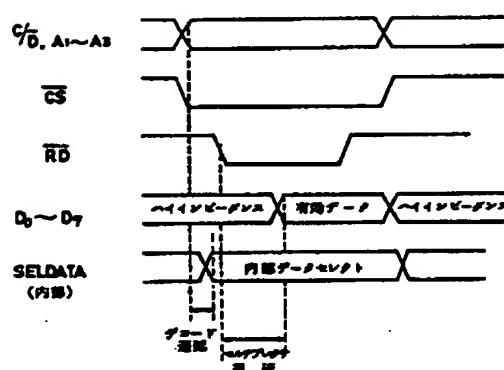


第16回





第18図



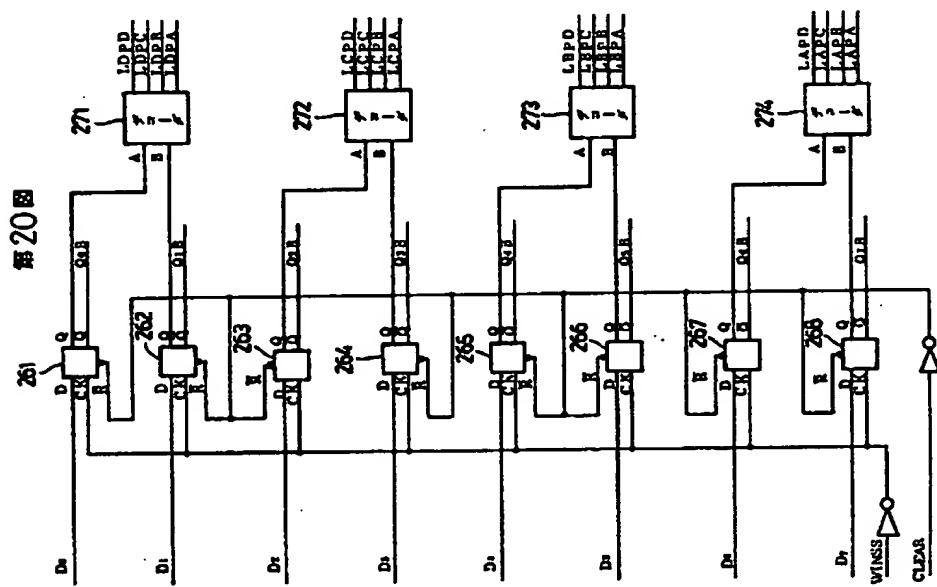
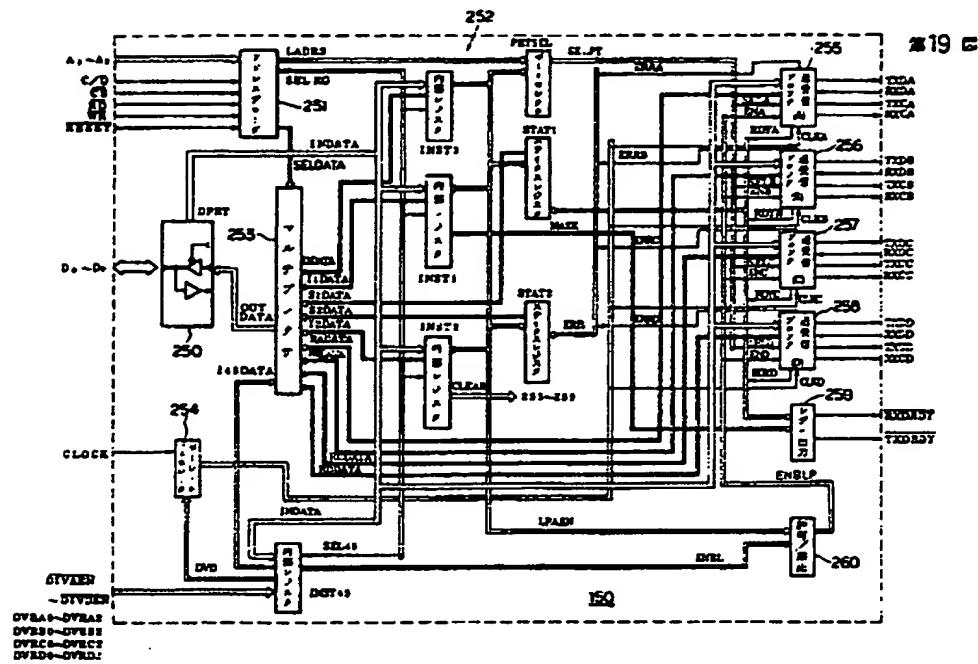


図21

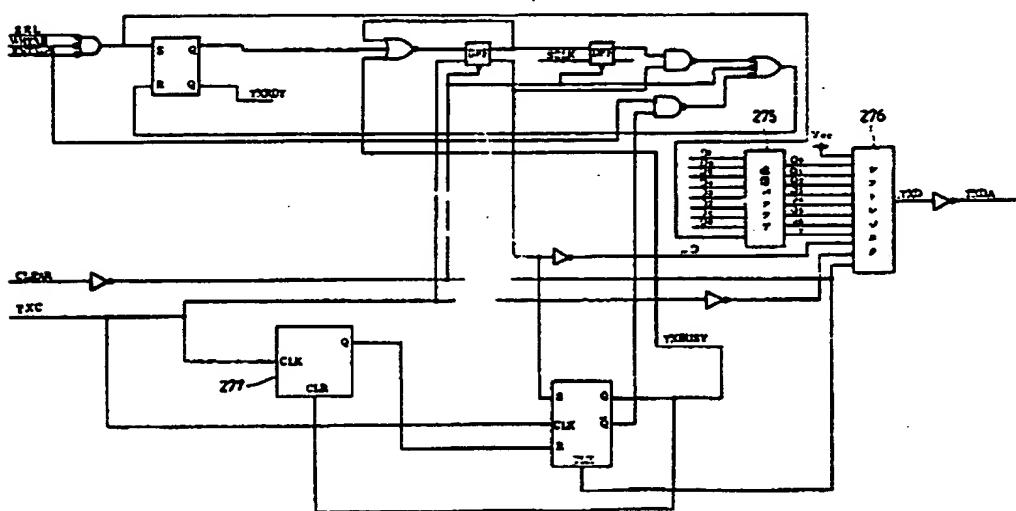
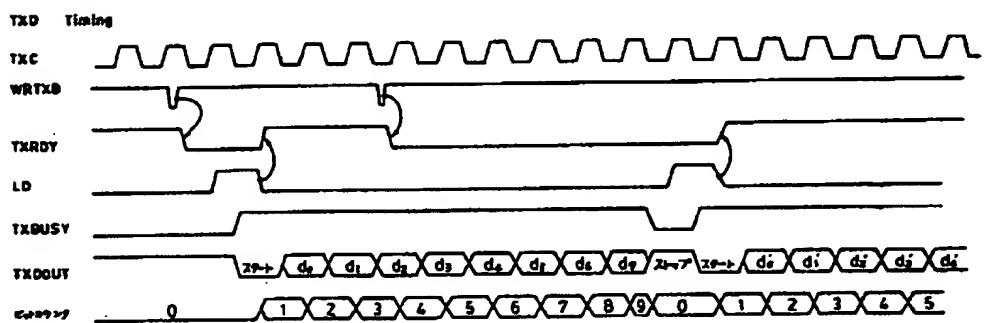
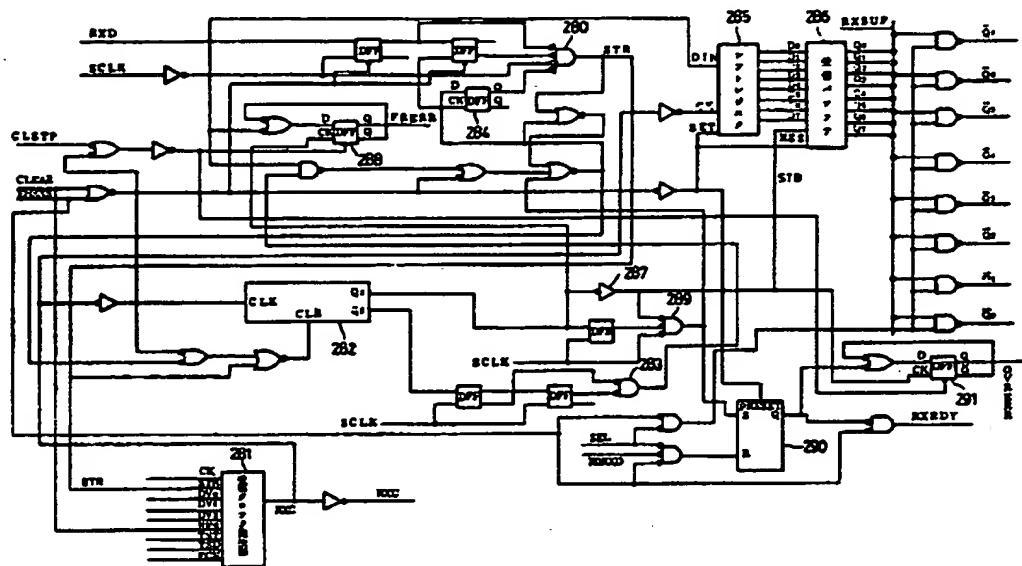


図22

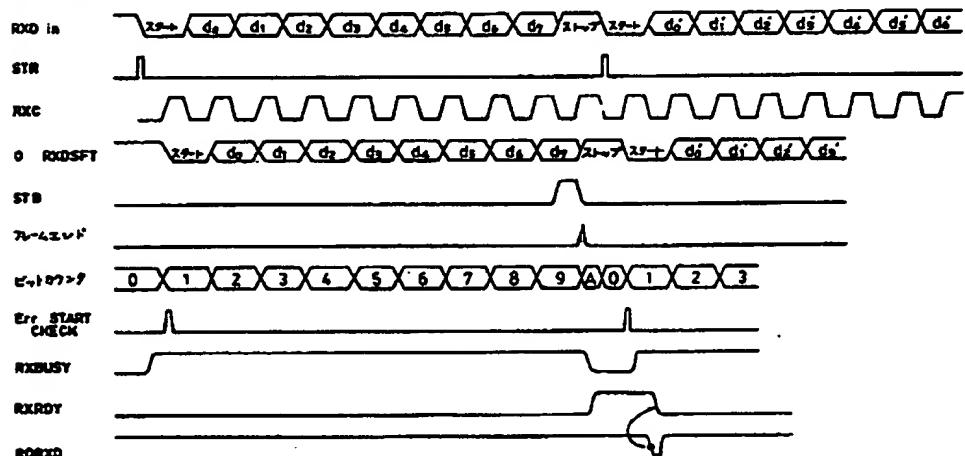


23



第24回

Role Timing

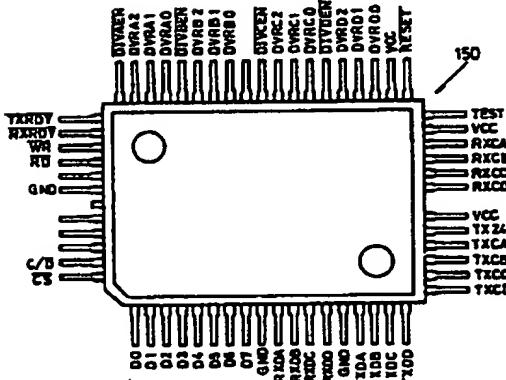


特圖昭63-212955 (37)

四
五
五

第26回

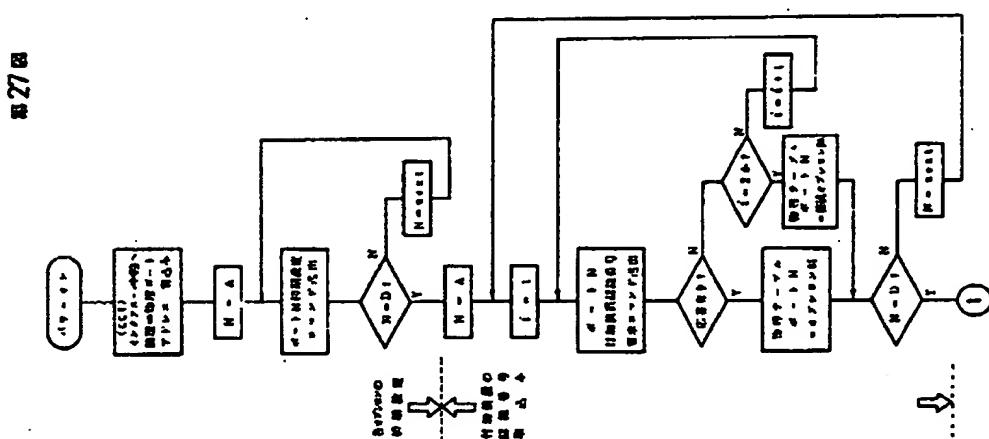
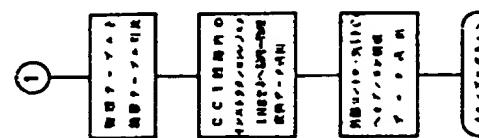
第28回



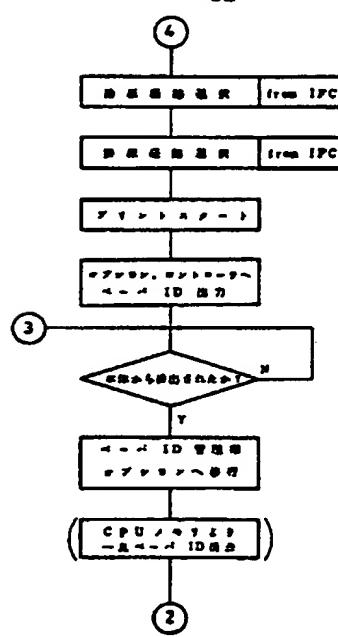
卷29

初期データ			初期データ			初期データ			初期データ		
D ₁₁	D ₁₂	D ₁₃	D ₂₁	D ₂₂	D ₂₃	D ₃₁	D ₃₂	D ₃₃	D ₄₁	D ₄₂	D ₄₃
初期データ→A						初期データ→B					
初期データ→C						初期データ→D					
0	0	1	0	1	0	0	1	1	1	0	0

特開昭63-212955 (38)



第30回



四
三
五

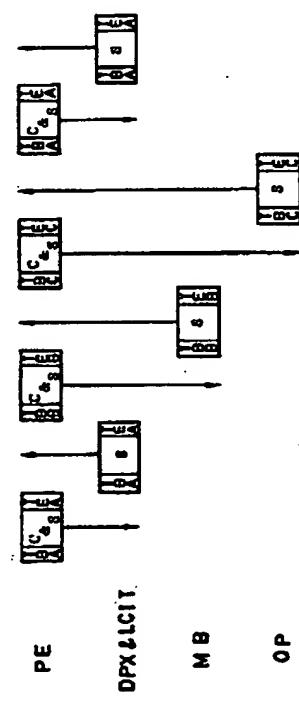


図33

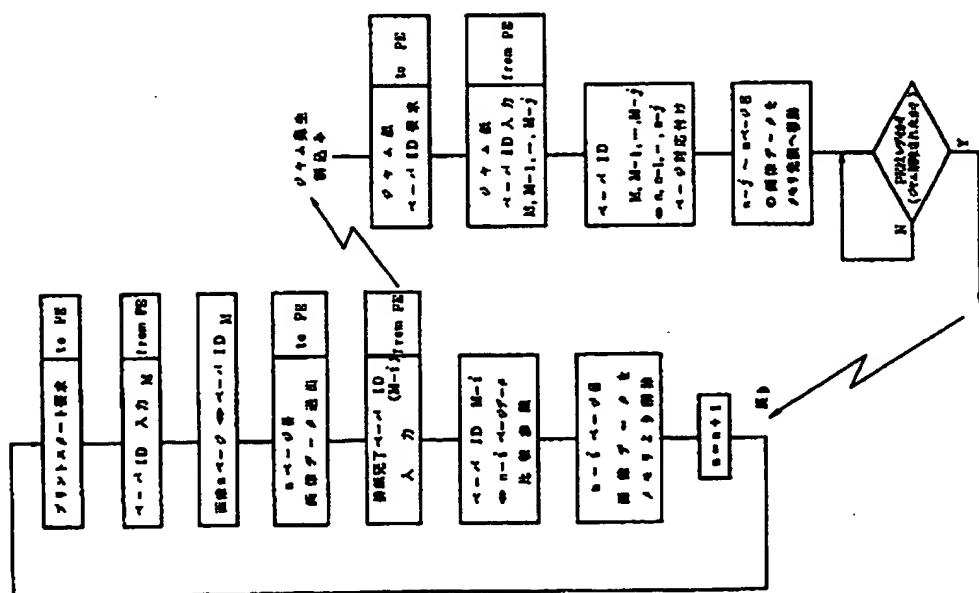


図31

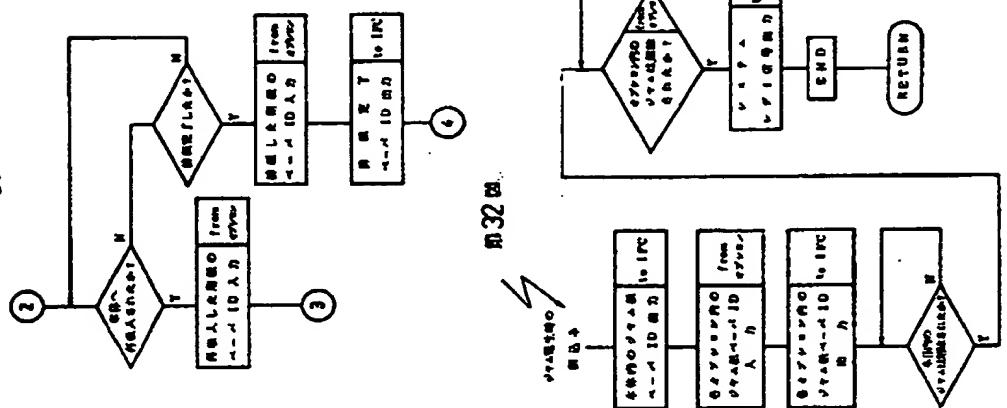


図34

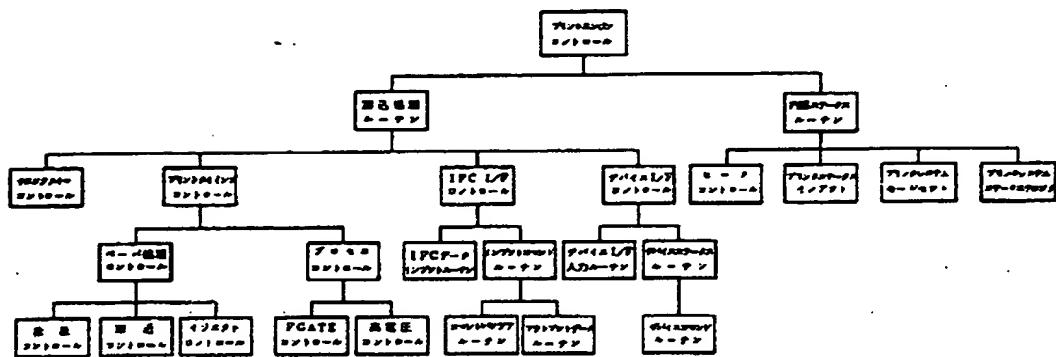
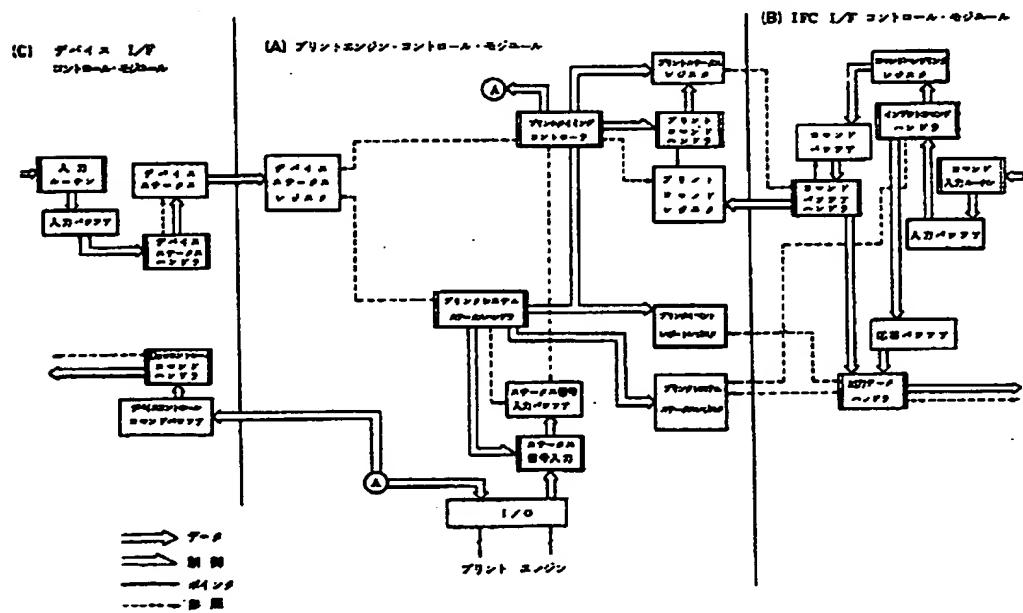


図35



特開図63-212955 (41)

図38

通常プリント時

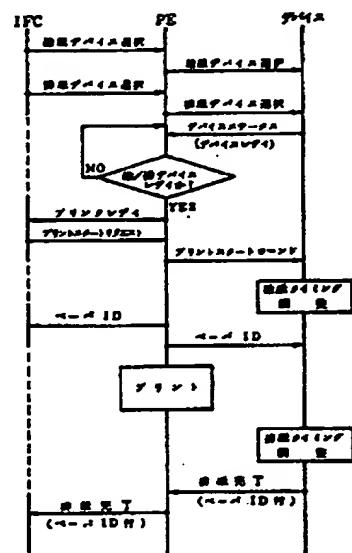


図37

パワーオン時

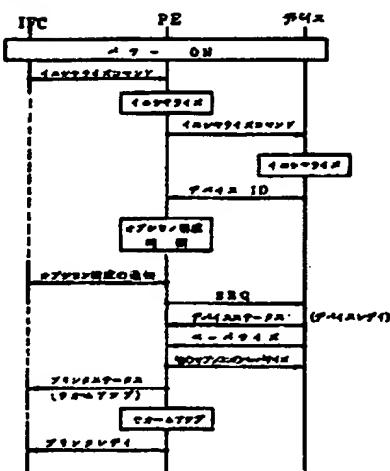
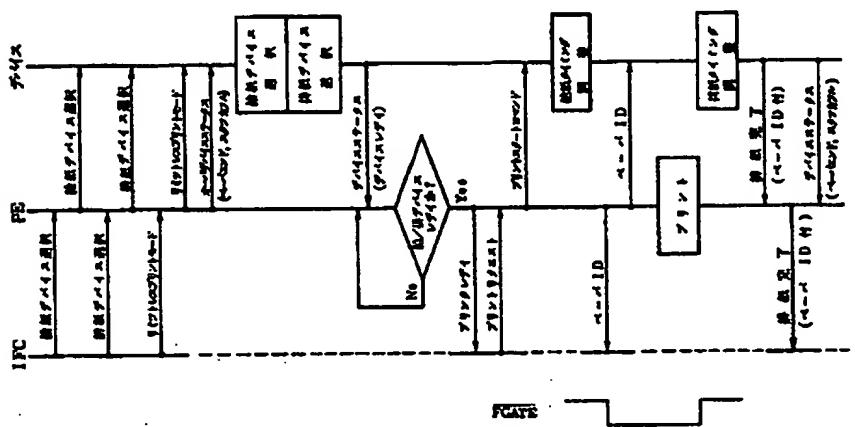


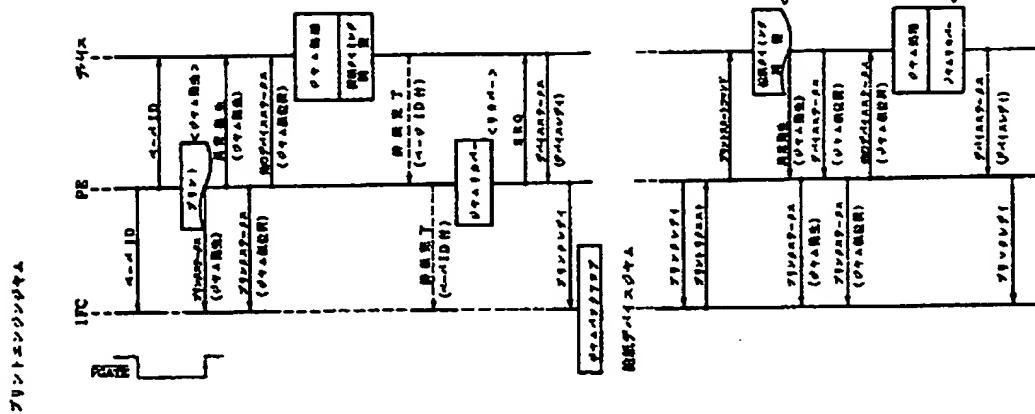
図39

リセットレスプリント時



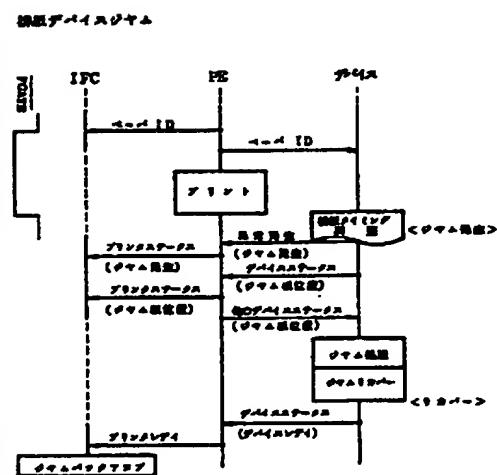
以下略

図40



プリントエントラントチャ

図41



機器ディバイスリヤム

図44

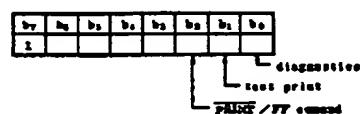


図45

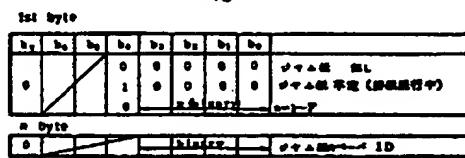
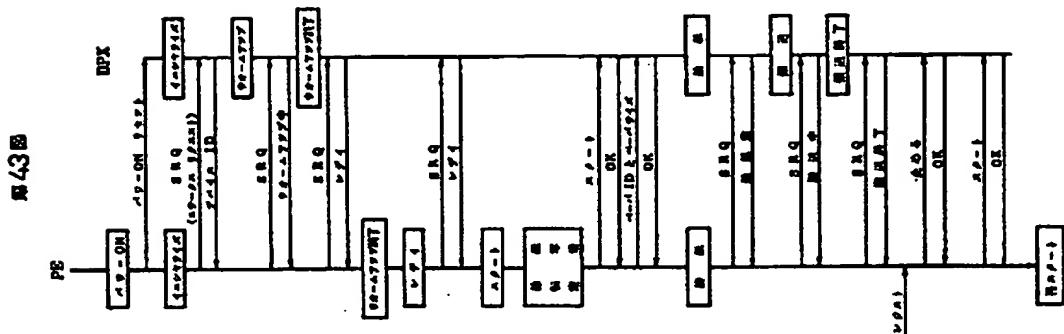
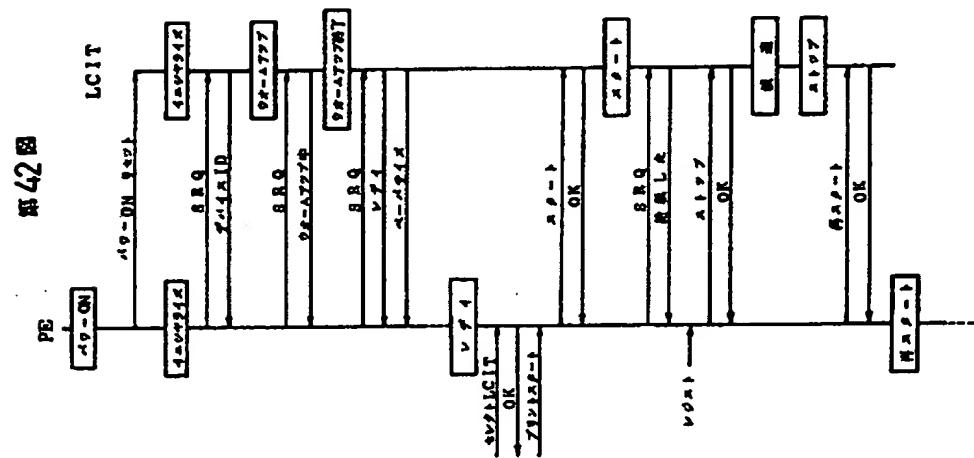


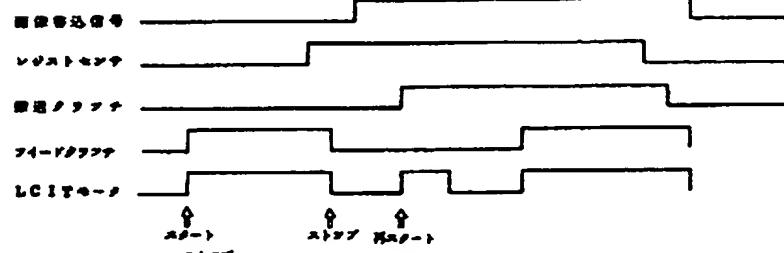
図46



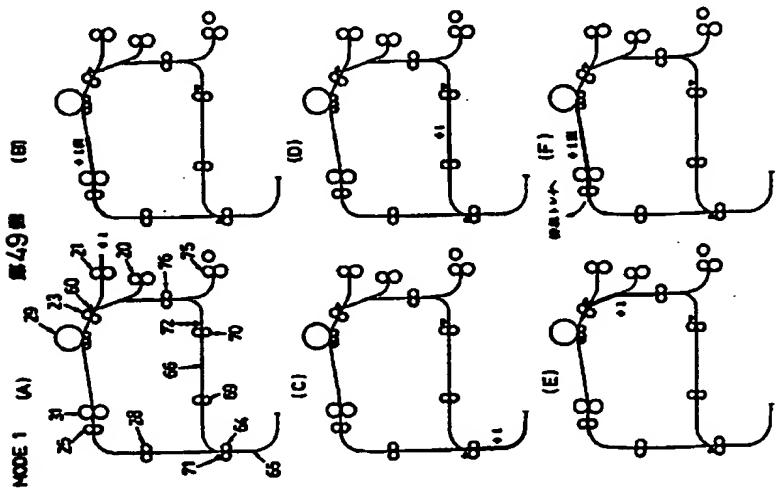
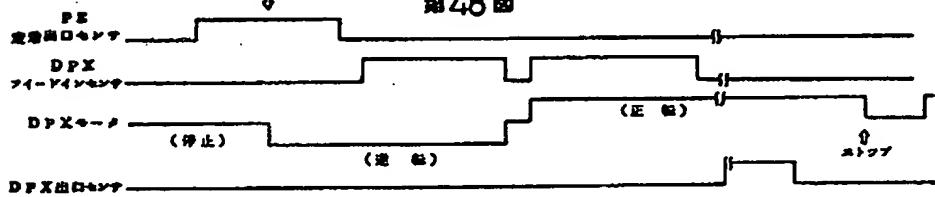
特開昭63-212955 (43)

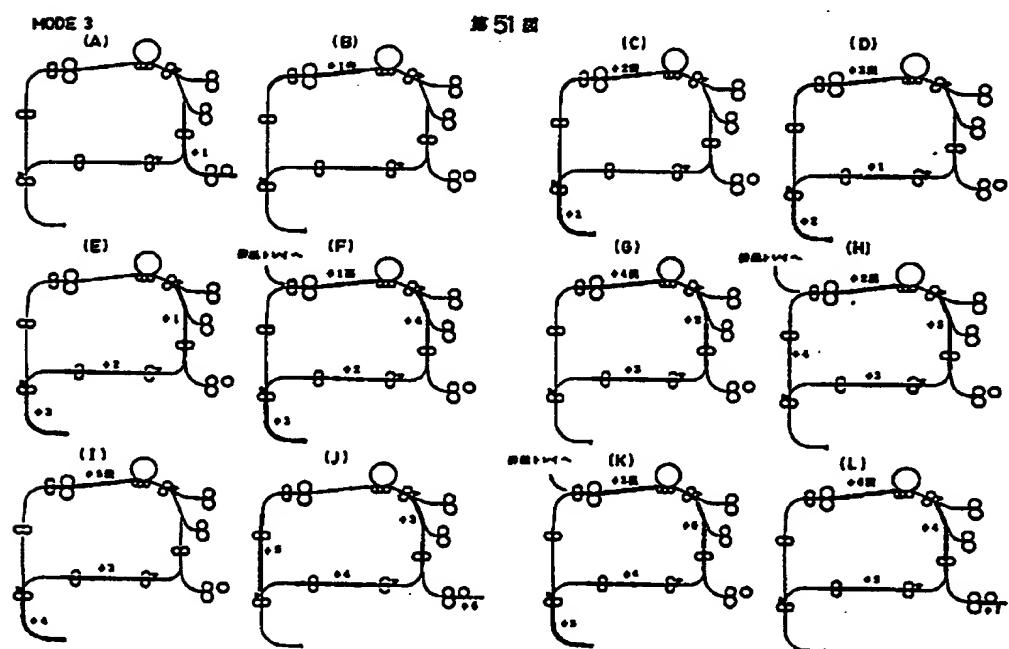
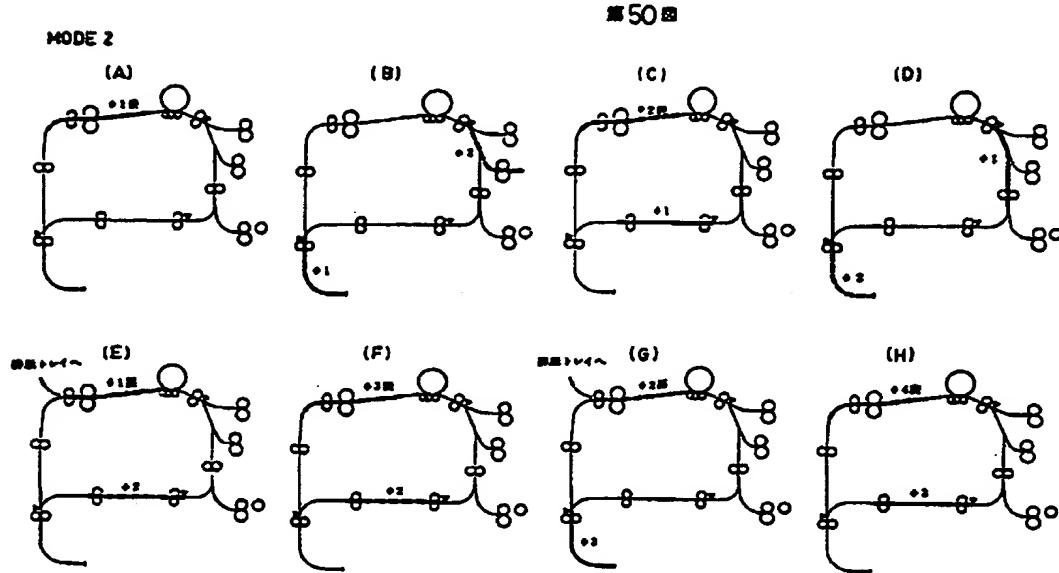


第47図



第48図





33-212955 (48)

手稿初正書(白堊)

昭和62年4月17日

特許序号：明特許第12345号

1. 事件の表示

特製昭62-45939号

2. 亮明の名称

画像構成システム

3. 確正會する者

方
式
卷
四

事件との関係 特許出願人

高崎市立図書館 1丁目3番6号

(674) 株式会社 リコー

1. 代 答

(電話986-2380)

東京都世田谷区東池袋1丁目20番地5

地図本ライトハウスビル818号

先生 (8093) 大 南 教 (7815)

5. 紹正の

(1) 明治時代の文明の詳細な説明の範

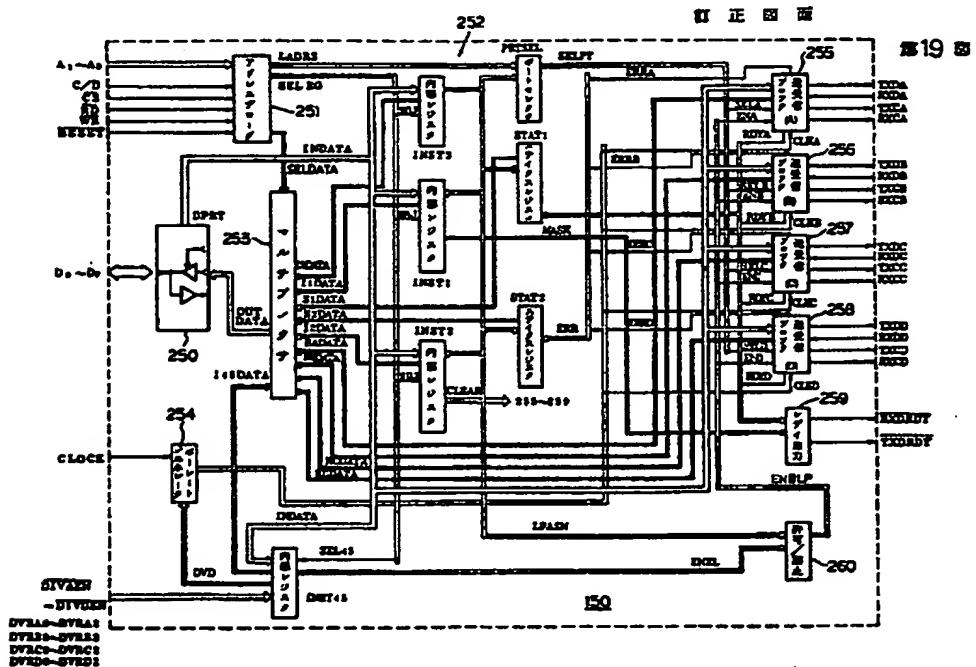
(2) 62.41

ANSWER

6. 指正の内容

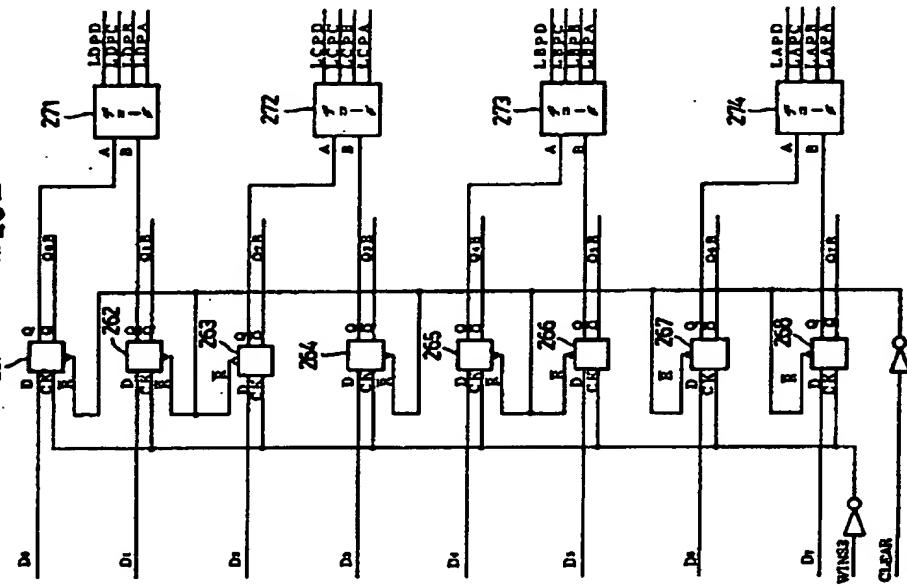
- (1) 明細書第 29 頁第 20 行及び第 30 頁第 2 行の「発光 IC 166」を
「受光 IC 166」と訂正する。
- (2) 図書第 56 頁第 20 行の「旗スタートビット」
を「旗スタートビット」と訂正する。
- (3) 図書第 64 頁第 2 行の「データ」を
「データ伝送」と訂正する。
- (4) 図書第 10 ~ 11 行の「コントロールコ
ード」を
「コントロールコード」と訂正する。
- (5) 図書第 72 頁第 18 行の「本体 1 内」を
「システム全体内」と訂正する。
- (6) 図面の「第 19 図 - 第 21 図」及び「第 23
図」を別紙訂正図面のとおり訂正する。

以上



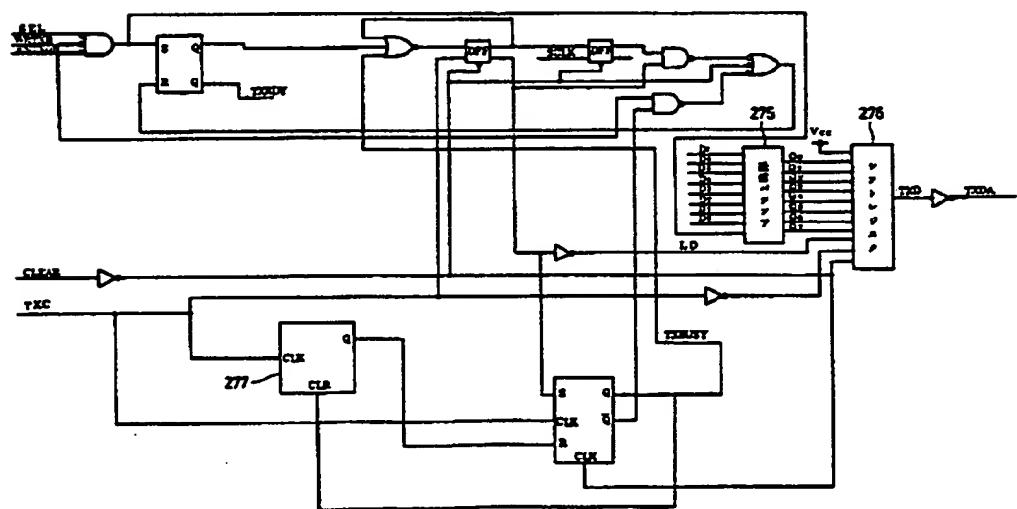
特圖號63-212955 (47)

西正打圖20期



貢正國苗

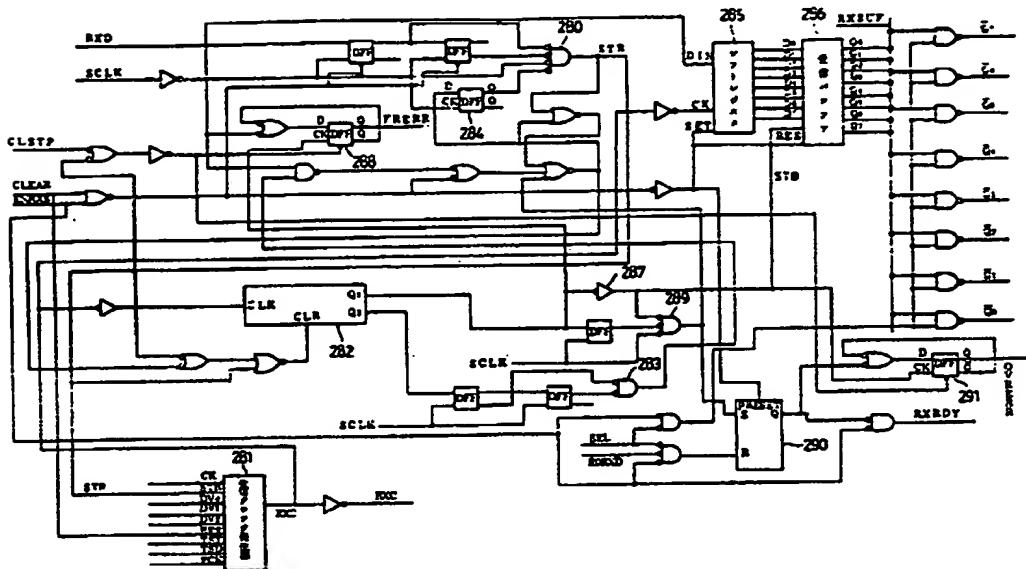
第21題



33-63-212955 (48)

第23回

訂正と云



手腕和正直(方式)

5. 捕正の対象

明細書の図面の簡単な説明の種

昭和62年6月23日

钱庄庄员吉 田 初 撰

7. 稽正の内容

明細書第103頁第8行の「速50回(A)

～(1)は」を.

「第50回(A)～(H)は」と訂正する。

1. 事件の発生

特歐昭 6 2 - 4 5 9 3 9 号

2. 並列の名稱

画像形成システム

3. 誤正をする名前

新作との關係 特許出願人

東京都大田区中馬込1丁目3番6号

(674) 株式会社 リコー

卷一 A (電號946-2380)

高嘉麟農區工作站 1 月 29 日地 5

高齢者サイトハラスメント

5. 機正命令の日付

昭和62年5月6日（発達日：興年5月26日）

打捞码63-212955 (49)

中華書局影印

昭和 8 2 年 6 月 23 日

特許序長官　黒田　明　雄

1. 事件の発示

特職昭 82-45939号

3. 発明の名称

画像形成システム

特許庁
62.8.23
主C.三

3. 稽正をする際

事件との關係 特許出願人

東京都大田区中馬込1丁目3番6号

(674) 株式会社 リコ一

1. 代 疑

東京都墨田区東池袋1丁目20番地

新宿ホワイトハウスビル818号

地理学(8093) 大 课 时

5. 稽正の対象

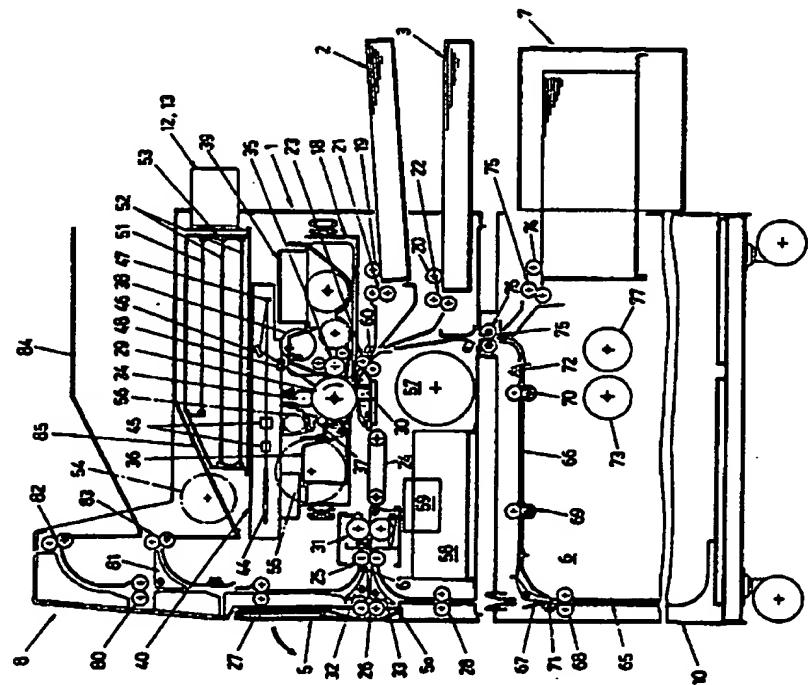
(1) 明渠の光明の詳細な説明の欄
(2) 図

6. 締正の内容

- (1) 明細書第 11 頁第 16~20 行の「プリント
シーケンスが……停止させる。」の記載を削除
する。
- (2) 同書第 12 頁第 3~4 行の「レーザ書込みユ
ニット 4 口によって電気された表面に。」を削
除する。
- (3) 同書第 9 2 頁第 7 行の「相違を」を
「相違を」と訂正する。
- (4) 同書第 9 6 頁第 17 行の「ペーパ 4」を
「ペーパ 4」と訂正する。
- (5) 同書第 9 7 頁第 2 行の「開始する。」を
「開始する (K)。」と補正する。
- (6) 同書同頁第 4 行の「退出する。」を
「退出する (L)。」と補正する。
- (7) 図面の「第 3 図」を別紙訂正図面のとおり補
正する。

以上

第三回



Document 1

2. Claims

1. An image forming system for connecting a plurality of additional apparatuses to an image forming apparatus main body which obtains image information from an external apparatus or internally to form an image, effecting communication of several kinds of information relating to image formation between said image forming apparatus main body and said plurality of additional apparatuses, and recording the image onto a recording medium,

characterized by

means for displaying a connection state of connection of the additional apparatus to said image forming apparatus main body.

Field of Technical Art

The present invention relates to an image forming system of a printer system of each type, highly functional copy system, facsimile system and the like, in particular, to an image forming system for connecting a plurality of additional apparatuses to an image forming apparatus main body which obtains image information internally or from an external apparatus to form an image, effecting communication of several kinds of information between the image forming apparatus main body and the plurality of additional apparatuses, and recording the image onto a recording medium.

Objective

The present invention has been proposed in view of the above-described matters. The objective thereof is to display a connection state of connection between the image forming apparatus main body and each additional apparatus on an operation display panel or the like, thereby attaining to understand the connection state at a glance.

Structure

In order to attain the above-described objective, the present invention presents an image forming system as described above, which is arranged so as to include means for displaying a connection state of connection of an additional apparatus to an image forming apparatus main body.

Technological Advantages

As explained above, according to the present invention, since means for displaying a connection state of an additional apparatus connected to an image forming apparatus main body is provided, the current connection state of an additional apparatus, i.e., the current system structure can be recognized at a glance, and therefore this is useful to a user.